

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-88838

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.<sup>9</sup>

H 0 4 N 7/01  
7/24

識別記号

J

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/ 13

Z

審査請求 未請求 請求項の数4 O L (全 16 頁)

(21)出願番号 特願平6-223369

(22)出願日 平成6年(1994)9月19日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 床井 雅樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 寒川 賢太

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 浜田 雅則

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小鍛治 明 (外2名)

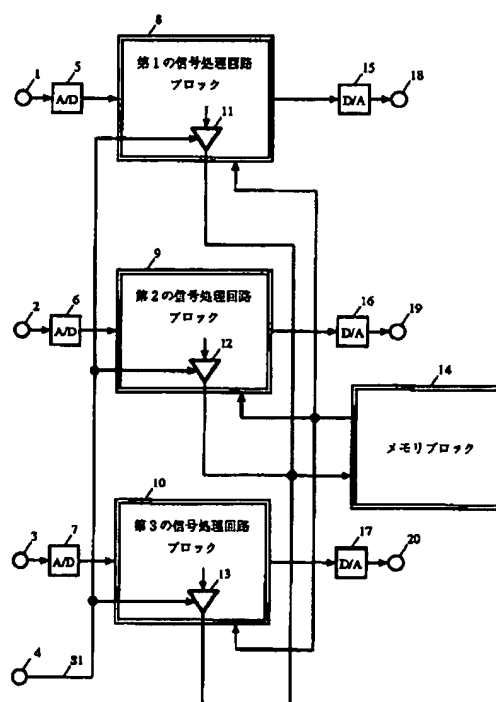
最終頁に続く

(54)【発明の名称】 テレビジョン受像機

(57)【要約】

【目的】 本発明は複数の放送方式のテレビジョン信号を受信可能なテレビジョン受像機に関するもので、各放送方式に対応した信号処理回路の間で画像メモリを共有化することによって、それぞれの信号処理回路で専用メモリをもつ場合に比べ、大幅なコストダウンを実現できるテレビジョン受像機を提供することを目的とする。

【構成】 受信可能なそれぞれの放送方式に対応した複数の信号処理回路ブロックと、少なくとも1つのメモリブロックを備え、メモリブロックの入力には各信号処理回路ブロックからの信号線を共通に接続し、各信号処理回路ブロックにおけるメモリブロックへの出力をトライステート機能を用いて切り換えることによってメモリブロックへの入力信号を択一的に選択する。



1

## 【特許請求の範囲】

【請求項1】複数の映像信号処理回路ブロックと、少なくとも一つのメモリブロックを備え、前記メモリブロックの入力端子には前記複数の映像信号処理回路ブロックからの信号線を共通に接続し、前記複数の映像信号処理回路ブロックは、前記メモリブロックへ信号を供給する出力端子にトライステート機能を有し、選択信号にしたがって選択した出力端子を除きすべてを高インピーダンス状態にすることによって前記メモリブロックへの入力信号を択一的に選択することを特徴とするテレビジョン受像機。

【請求項2】前記複数の映像信号処理回路ブロックと前記少なくとも一つのメモリブロックは、複数の放送方式に対応した信号処理を行うことを特徴とする請求項1記載のテレビジョン受像機。

【請求項3】前記複数の映像信号処理回路ブロックは、各々が到来入力信号の同一フィールド内の信号のみを用いて処理を行う空間信号処理回路と、複数フィールド分の信号を用いて処理を行う時空間信号処理回路とを備え、前記選択信号にしたがって前記時空間信号処理回路に複数フィールド分の信号が得られない場合には前記時空間信号処理回路からの出力を用いない信号処理形態をなすことを特徴とする請求項1記載のテレビジョン受像機。

【請求項4】前記複数の信号処理回路ブロックは、各々が前記選択信号にしたがってブロックの全体または一部の駆動クロックを停止できることを特徴とする請求項1記載のテレビジョン受像機。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は複数の放送方式のテレビジョン信号を受信可能なテレビジョン受像機に関するものである。

【0002】

【従来の技術】近年のテレビジョン技術では大容量の画像メモリを用いたテレビジョン信号の圧縮・復元などのデジタル信号処理技術が一般的となっている。しかしテレビジョン放送方式は地域や周波数帯によって様々であり、それぞれの信号処理方式によって画像メモリの用いられ方は異なっている。複数の放送方式に対応したテレビジョン受像機では一般にそれぞれの放送方式に対応した信号処理回路ごとに画像メモリを持たねばならず、画像メモリ量の増大が製品コストの大幅なアップにつながっている。そこで複数の放送方式を受信可能なテレビジョン受像機において、それぞれの放送方式に対応した信号処理回路の間で画像メモリを共有することが考えられている。

【0003】従来のテレビジョン受像機としては、例えば特開昭62-206977号公報に示されている。

【0004】図11はこの従来のテレビジョン受像機の

2

ブロック図を示すものであり、この従来例では高品位テレビジョン信号の帯域圧縮方式であるMUSE方式（二宮、他「高品位テレビの衛星1チャンネル伝送方式（MUSE）」テレビジョン学会技術報告TEBS95-237～42ページ）と現行標準テレビ信号の放送方式であるNTSC方式の2方式のテレビジョン信号が受信可能なテレビジョン受像機について述べられている。

【0005】図11において101はベースバンドのMUSE信号の入力端子、102はベースバンドのNTSC信号の入力端子、103はMUSE/NTSC切り換え選択信号M/Nの入力端子、104、105はそれぞれMUSE、NTSC信号をデジタル信号に変換するA/D変換器、106は選択信号M/NにしたがってMUSE/NTSC信号を選択出力するセクタ回路、107、108は画像メモリ、109は入力信号と画像メモリ107、108で1フレーム期間遅延された信号とを画素ごとに交互に配列して出力し、フレーム間内挿処理を行うセクタ回路、110はMUSE用のタイミング信号を発生するタイミング発生回路、111はNTSC用のタイミング信号を発生するタイミング発生回路、112は選択信号M/NにしたがってMUSE用/NTSC用タイミング発生回路からのタイミング信号を選択出力するセクタ回路、113はセクタ回路112からのタイミング信号にしたがって画像メモリ107、108の動作を制御するためのアドレスを発生するアドレス発生器、114はセクタ回路109でフレーム間内挿処理によって多重化された現フィールドの信号と1フレーム期間遅延された信号を分離する分離回路、115はMUSEの復号処理を行うMUSE信号処理回路、116はNTSCの復号処理を行うNTSC信号処理回路、117～122はD/A変換器、123は高品位テレビの表示用モニタ、124は現行標準テレビの表示用モニタである。

【0006】以上のように構成された従来のテレビジョン受像機の動作を図面を参照しながら説明する。図において端子101にはMUSE信号が入力され、A/D変換器104によってデジタルデータとなった信号がセクタ106に入力される。同時に端子102にはNTSC信号が入力され、A/D変換器105によってデジタルデータとなった信号がセクタ回路106に入力される。また、端子103にはMUSE信号とNTSC信号を切り換える信号M/Nが入力され、セクタ回路106では信号M/NによってMUSE信号とNTSC信号を切り換えて出力する。

【0007】セクタ回路106でMUSE信号が選択された場合には、セクタ回路112では信号M/NにしたがってMUSE用タイミング発生回路110から出力されるタイミング信号を選択する。アドレス発生回路113ではセクタ回路112からのタイミング信号にしたがってMUSE信号に適したアドレス信号を発生

3

し、画像メモリ107、108を制御する。したがってこの場合の画像メモリ107、108の動作はMUSE信号の1フレーム期間の遅延器として働き、セクタ回路109では入力MUSE信号と1フレーム遅延MUSE信号をサンプルレートの倍レートで切り換えて出力することによってフレーム間挿入処理を行う。MUSE信号処理回路115ではフレーム間挿入処理がなされた信号に対して、それに続くMUSE信号の各復号処理を行い、復号後のRGB映像信号の各デジタルデータを出力する。各デジタルデータはそれぞれD/A変換器117、118、119によってアナログ信号に変換されてモニタ123に入力される。

【0008】一方、セクタ回路106でNTSC信号が選択された場合には、セクタ112ではM/N信号にしたがってNTSC用タイミング発生回路111から出力されるタイミング信号を選択する。アドレス発生器113ではセクタ回路112からのタイミング信号にしたがってNTSC信号に適したアドレス信号を発生し、画像メモリ107、108を制御する。

【0009】したがってこの場合の画像メモリ107、108の動作はNTSC信号の1フレーム期間の遅延器として働き、セクタ回路109では入力NTSC信号と1フレーム遅延NTSC信号をサンプルレートの倍レートで切り換えて出力することによって、MUSEのフレーム間挿入処理と同様に現フィールドのNTSC信号と1フレーム期間遅延したNTSC信号を画素ごとに多重化する。分離回路114ではセクタ回路106で多重化されたNTSC信号を再び現フィールドと1フレーム期間遅延した信号に分離する。NTSC信号処理回路116では分離回路114からの現フィールドの信号と1フレーム期間遅延した信号を用いてその後のNTSC信号の各復号処理を行い、復号後のRGB映像信号の各デジタルデータを出力する。各デジタルデータはそれぞれD/A変換器120、121、122によってアナログ信号に変換されてモニタ124に入力される。

【0010】

【発明が解決しようとする課題】しかしながら前記のような構成は、2方式の間の限られた処理間でのメモリ共用であり、3方式以上の多数の信号処理回路ブロック間での共用や、信号処理回路ブロック内の個々の時空間処理回路単位でのメモリ共用に対応するには多数かつ多段のセクタ回路を必要とするなどの課題を有していた。また前記のような構成では選択した放送方式以外の信号処理回路は正常に動作しないために、常にどちらか一方の放送方式の映像しか楽しめないという課題を有していた。さらに前記のような構成では有効に動作している信号処理回路ブロックは1つであるのに、2つの信号処理回路ブロック分の電力を消費してしまうという課題を有していた。

【0011】第1の発明はかかる点に鑑み、複数の放送

4

方式に対応し、それぞれの放送方式に対応した信号処理回路の間でメモリの一部または全部を共有して低コスト化を図るテレビジョン受像機を提供することを目的とする。

【0012】第2の本発明はかかる点に鑑み、共有メモリを優先的に用いて復号処理が行われている放送方式以外の映像も同時に楽しめるテレビジョン受像機を提供することを目的とする。

【0013】第3の発明はかかる点に鑑み、不要な電力消費を抑制する複数方式対応のテレビジョン受像機を提供することを目的とする。

【0014】

【課題を解決するための手段】第1の発明は、複数の信号処理回路ブロックと、少なくとも一つのメモリブロックを備え、前記メモリブロックの入力端子には、前記複数の信号処理回路ブロックからの信号線を共通に接続し、前記複数の信号処理回路ブロックは、前記メモリブロックへ信号を供給する出力端子にトライステート機能を有し、前記選択信号にしたがって選択した出力端子を除きすべてを高インピーダンス状態にすることによって前記メモリブロックへの入力信号を択一的に選択することを特徴とするテレビジョン受像機である。

【0015】第2の発明は、前記複数の信号処理回路ブロックの各々が、到来入力信号の同一フィールド内の信号のみを用いて処理を行う空間信号処理回路と、複数フィールド分の信号を用いて処理を行う時空間信号処理回路とを備え、前記選択信号にしたがって前記時空間信号処理回路に複数フィールド分の信号が得られない場合には前記時空間信号処理回路からの出力を用いない信号処理形態をなすことを特徴とするテレビジョン受像機である。

【0016】第3の発明は、前記複数の信号処理回路ブロックの各々が、前記選択信号にしたがってブロックの全体または一部の駆動クロックを停止できることを特徴とするテレビジョン受像機である。

【0017】

【作用】第1の発明は前記した構成により、メモリの入力に共通に接続されている複数の信号処理回路の出力端子にトライステート機能をもたせ、選択信号によって選択したものの以外を高インピーダンス状態にしてメモリへ入力する信号を択一的に選択するようにし、選択信号を切り換えることで各信号処理回路でメモリを共用化することができる。

【0018】第2の発明は前記した構成により、第1の発明の作用に加えて、各信号処理回路は選択信号にしたがってメモリが利用できない状態の場合は、メモリを必要としない空間処理で入力信号の復号処理を行うように切り換わり、メモリ共用化状態においても同時に複数の映像信号処理を行うことができる。

【0019】第3の発明は前記した構成により、第2の

5

発明の作用に加えて、各信号処理回路は選択信号によって選択されない場合は駆動クロックを停止して不要な電力消費を抑制することができる。

【0020】

【実施例】図1は第1の発明の実施例におけるテレビジョン受像機のブロック図を示すものである。図1において、1は第1の放送方式のテレビジョン信号を入力する入力端子、2は第2の放送方式のテレビジョン信号を入力する入力端子、3は第3の放送方式のテレビジョン信号を入力する入力端子、4は選択信号S1の入力端子、5〜7はA/D変換器、8は第1の放送方式に対応した信号処理を行う第1の信号処理回路ブロック、9は第2の放送方式に対応した信号処理を行う第2の信号処理回路ブロック、10は第3の放送方式に対応した信号処理を行う第3の信号処理回路ブロック、14は映像信号処理のなかの時空間処理や時間軸変換処理に必要な画像メモリを複数有したメモリブロック、11、12、13はそれぞれ第1、第2、第3の信号処理回路ブロックからメモリブロック14へ供給する信号の出力を制御信号S1に応じて通過させるか高インピーダンス状態にするかを切り換えるトライステート出力端子。15〜17はD/A変換器、18は第1の放送方式のテレビジョン信号の復号信号を出力する出力端子、19は第2の放送方式のテレビジョン信号の復号信号を出力する出力端子、20は第3の放送方式のテレビジョン信号の復号信号を出力する出力端子である。

【0021】以上のように構成されたこの実施例のテレビジョン受像機において、以下その動作を説明する。動作の説明は復号すべきテレビジョン信号が第1の放送方式の場合、第2の放送方式の場合、第3の放送方式の場合に分けて行う。

【0022】まず第1の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力端子11のみを通過状態にし、出力端子12、13を高インピーダンス状態にすることにより等価的に出力端子11の信号線のみをメモリブロック14に接続した状態にする。入力端子1に加えられた第1の放送方式のテレビジョン信号は、A/D変換器5においてデジタル信号に変換され、変換されたデジタルテレビジョン信号は第1の信号処理回路ブロック8において復号され、D/A変換器15によって再びアナログ信号に変換され、出力端子18より第1の映像信号を得る。

【0023】第2の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力端子12のみを通過状態にし、出力端子11、13を高インピーダンス状態にすることにより等価的に出力端子12の信号線のみをメモリブロック14に接続した状態にする。入力端子2に加えられた第2の放送方式のテレビジョン信号は、A/D変換器6においてデジタル信号に変換され、変換されたデジタルテレビジョン信号

6

は第2の信号処理回路ブロック9において復号され、D/A変換器16によって再びアナログ信号に変換され、出力端子19より第2の映像信号を得る。

【0024】第3の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力端子13のみを通過状態にし、出力端子11、12を高インピーダンス状態にすることにより等価的に出力端子13の信号線のみをメモリブロック14に接続した状態にする。入力端子3に加えられた第3の放送方式のテレビジョン信号は、A/D変換器7においてデジタル信号に変換され、変換されたデジタルテレビジョン信号は第3の信号処理回路ブロック10において復号され、D/A変換器17によって再びアナログ信号に変換され、出力端子20より第3の映像信号を得る。

【0025】以上のようにこの実施例によれば、複数の放送方式に対応したそれぞれの信号処理回路ブロックで画像メモリを共用化するに際して、各信号処理回路ブロックからメモリブロックへ信号を供給する出力端子にトライステート機能を設け、各出力端子のトライステート状態を制御することでメモリブロックへの入力信号を切り換えることにより、従来セクタなどの選択手段によって画像メモリへの入力信号を切り換えていたものに比べ、新たなセクタの増設なしに3つの信号処理回路ブロックからの画像メモリの共用が可能となる。

【0026】なおこの実施例ではメモリブロックへ信号を供給する出力端子にトライステート機能を設けるとしたが、制御信号にしたがって出力端子を高インピーダンス状態にする機能であればどのようなものでも良いことは言うまでもない。またこの実施例ではメモリブロックへの3つの信号処理回路ブロックでメモリブロックを共有する例を示したが、信号処理回路ブロックの数は2つ以上のいかなる数でもよく、数が多くなるほどこの実施例に示した発明がさらに有効になることは言うまでもない。さらにこの実施例ではメモリブロックへの入出力信号を各信号処理回路ブロックで一つずつである例を示したが、入出力信号の数は1つ以上のいかなる数でもよく、その場合もまたこの実施例に示した発明がさらに有効になることも言うまでもない。

【0027】図2は第2の発明の実施例におけるテレビジョン受像機のブロック図を示すものである。図2において、21はMUSE信号の入力端子、22はNTSC信号の入力端子、23は選択信号M/Nの入力端子、24、25はA/D変換器、26はMUSE信号を復号するMUSE信号処理ブロック、27はNTSC信号を復号するNTSC信号処理回路ブロック、14はメモリブロック、29、30はそれぞれ16.2MHzのサンプルレートのMUSE信号または14.3MHzのサンプルレートのNTSC信号を1フレーム期間記憶できる容量(約4Mビット)をもつ画像メモリ、31、32はそれぞれ同信号を1フィールド期間記憶できる容量(約2

7

Mビット)をもつ画像メモリ、33はMUSE信号処理ブロック26の出力映像信号とNTSC信号処理のブロック27の出力映像信号を一つの画面に合成する画面合成回路、34、35はD/A変換器、36はMUSE信号の復号信号の録画用出力端子、37はモニタである。

【0028】図3はMUSE信号処理ブロック26の構成例を示すブロック図である。図3において、41は動画処理回路、42は静止画処理回路、43は動き検出回路、44は混合回路、45はセクタ、46はMUSE信号の復号回路、47はMUSE信号を録画用信号に変換する走査線数変換回路、48は時空間フィルタ、49はセクタ、50は走査線数変換回路47でMUSE信号から変換された録画用信号の復号回路、51~54はトライステート機能をもつ出力端子である。図3においては静止画処理回路42と時空間フィルタ48などが時空間処理回路であり、動画処理回路41が空間処理回路である。また図3におけるA~Lは図2におけるA~Lと同一であることを示している。

【0029】図4はNTSC信号処理ブロック27の構成例を示すブロック図である。図4において、61は静止画用Y/C分離回路、62は動画用Y/C分離回路、63は動き検出回路、64、70は混合回路、65、71はセクタ、66は減算器、67は静止画用走査線補間回路、68は動画用走査線補間回路、69は色信号用走査線補間回路、72は順次走査のNTSC信号の復号回路、73、74はトライステート機能を持つ出力端子である。図4においては静止画用YC分離回路61と静止画用走査線補間回路67などが時空間処理回路、動画用YC分離回路62と動画用走査線補間回路68などが空間処理回路である。また図4におけるM~Tは図2におけるM~Tと同一であることを示している。

【0030】以上のように構成されたこの実施例のテレビジョン受像機において、以下その動作を説明する。

【0031】入力端子21に加えられたMUSE信号はA/D変換器24においてデジタル信号に変換されMUSE信号処理ブロック26に入力される。入力端子22に加えられたNTSC信号はA/D変換器25においてデジタル信号に変換されNTSC信号処理ブロック27に入力される。

【0032】以下の動作の説明は主に復号すべき信号がMUSE信号の場合とNTSC信号の場合とに分けて行う。

【0033】まずMUSE信号を主に復号する場合、入力端子23に加えられる選択信号M/NはMUSEを選択する値となりMUSE信号処理ブロック26とNTSC信号処理ブロック27とに入力される。MUSE信号処理ブロック26では選択信号M/NがMUSEを選択している場合トライステート出力端子51の出力端Cが画像メモリ29の入力に、52の出力端Fが画像メモリ31の入力に、53の出力端Hが画像メモリ32の入力

8

にそれぞれ接続されていることになる。一方トライステート出力端子54は高インピーダンス状態であり、出力端Iは画像メモリ32と絶縁されている。フレーム間内挿回路421では入力MUSE信号と、入力信号を出力端Cより出力して画像メモリ29を経て入力端Dより得た1フレーム期間遅延信号とで内挿処理がなされフィールド間内挿回路422に供給する。

【0034】フィールド間内挿回路422ではフレーム間内挿処理された信号と、同信号を出力端F-画像メモリ31-入力端G-出力端H-画像メモリ32-入力端Jという経路を経て得られた1フィールド期間遅延信号とで内挿処理がなされてMUSE信号の静止画領域の映像が復元される。フィールド内挿回路411では現信号のみを用いて内挿処理を行い、MUSE信号の動画領域の映像が復元される。動き検出回路43には現信号と入力端Dより得られる1フレーム遅延信号および画像メモリ30を経て入力端Eより得られる2フレーム遅延信号が入力され、それらの信号をもとに1フレーム間および2フレーム間の動き量を検出する。混合回路44では動画処理回路41と静止画処理回路42からの入力を動き検出回路43からの動き量に応じた比率で混合して出力する。

【0035】セクタ45では選択信号M/NがMUSEを選択している場合、動き適応処理出力であるS3を選択しこれを出力する。復号回路46では以降のMUSEの各復号処理を行いRGBのデジタルデータとしてMUSE信号の復号出力を得る。走査線数変換回路47では現行NTSC-VCRに記録できる映像信号を得るために、MUSE信号の走査線数変換が行われる。セクタ49は選択信号M/NがMUSEを選択している場合には走査線数変換回路47の出力であるS4を選択し、これを出力する。このとき時空間フィルタ回路48は信号処理系の流れに影響を及ぼさない。復号回路50ではセクタ49の出力に対し以降の各復号処理を行いYCのデジタルデータとして録画用の出力を得る。

【0036】このように選択信号M/NがMUSEを選択する場合には、MUSE信号処理ブロック26は本来のMUSEの信号処理である動き適応時空間処理を行い、録画用の出力を得る処理では逆に時空間処理を行わないように動作する。

【0037】NTSC信号処理ブロック27では、選択信号M/NがMUSEを選択している場合、トライステート出力端子73、74はともに高インピーダンス状態であり、画像メモリから絶縁された状態になる。ライン間YC分離回路621では入力されたNTSC信号の現信号だけを用いてYC分離を行う。セクタ65は選択信号M/NがMUSEを選択している場合ライン間YC分離回路621の出力S7を選択しこれを出力する。このときフレーム間YC分離回路611、動き検出回路63、混合回路64は信号処理系の流れに影響を及ぼさな

い。ライン間YC分離回路621で分離された色信号はセクタ65を介して減算器66と色信号補間回路69に供給される。

【0038】減算器66では入力NTSC信号より色信号を減算することで輝度信号を得る。ライン間補間回路681では入力された輝度信号の現信号だけを用いて走査線補間を行う。セクタ71は選択信号M/NがMUSEを選択している場合ライン間補間回路681の出力S9を選択しこれを出力する。このときフレーム間補間回路671、動き検出回路63、混合回路70は信号処理系の流れに影響を及ぼさない。セクタ71からの輝度信号と、色信号補間回路69で走査線補間が行われた色信号は復号回路72に供給され、その後の復号処理が行われRGBのデジタルデータとして順次走査のNTSC信号の復号出力を得る。

【0039】このように選択信号M/NがMUSEを選択する場合には、NTSC信号処理ブロック27は時空間処理を行わず、空間処理のみで全ての信号処理を行うよう動作する。

【0040】次にNTSC信号を主に復号する場合、入力端子23に加えられる選択信号M/NはNTSCを選択する値となりMUSE信号処理ブロック26とNTSC信号処理ブロック27とに入力される。MUSE信号処理ブロック26では選択信号M/NがNTSCを選択している場合、トライステート出力端子51, 52, 53はすべて高インピーダンス状態であり、画像メモリから絶縁された状態になる。一方トライステート出力端子54の出力端Iは画像メモリ32の入力に接続されていることになる。フィールド内挿回路411では入力MUSE信号の現信号のみを用いて内挿処理を行い映像が復元される。

【0041】セクタ45は選択信号M/NがNTSCを選択している場合フィールド内挿回路411の出力S2を選択しこれを出力する。このときフレーム間補間回路421、フィールド間補間回路422、動き検出回路43、混合回路44は信号処理系の流れに影響を及ぼさない。フィールド内挿回路で内挿処理されたMUSE信号はセクタ45を介して復号回路46に供給される。復号回路46では以降のMUSEの各復号処理を行いRGBのデジタルデータとしてMUSE信号の復号出力を得る。走査線数変換回路47では現行NTSC-VCRに記録できる映像信号を得るために、MUSE信号の走査線数変換が行われる。

【0042】走査線数変換回路の入力信号はMUSE信号を動画処理のみで復元した信号であるから、本来静止画処理をすべき領域に折り返し歪みと呼ばれる時空間方向のノイズ成分を含んでいる。時空間フィルタ回路48では走査線数変換回路の出力信号に残存する折り返し歪みを低減するよう働く。セクタ49は選択信号M/NがNTSCを選択している場合には時空間フィルタ回路

48の出力信号S5を選択し、復号回路50に供給する。復号回路50では以降の各復号処理を行いYCのデジタルデータとして録画用の出力を得る。

【0043】このように選択信号M/NがNTSCを選択する場合には、MUSE信号処理ブロック26は空間処理であるフィールド内挿処理のみでMUSE信号の復元を行い、録画用の出力を得る処理では逆にMUSE信号に発生する折り返し歪みを低減するための時空間フィルタ処理を行うように動作する。

10 【0044】NTSC信号処理ブロック27では、選択信号M/NがNTSCを選択している場合、トライステート出力端子73の出力端Oが画像メモリ29の入力に、74の出力端Rが画像メモリ31の入力にそれぞれ接続されていることになる。フレーム間YC分離回路611では入力NTSC信号と、入力信号を出力端Oより出力して画像メモリ29を経て入力端Pより得た1フレーム期間遅延信号とでYC分離処理がなされる。ライン間YC分離回路621では現信号のみを用いてYC分離処理がなされる。

20 【0045】動き検出回路63には現信号と入力端Pより得られる1フレーム遅延信号および画像メモリ30を経て入力端Qより得られる2フレーム遅延信号が入力され、それらの信号をもとに1フレーム間および2フレーム間の動き量を検出する。混合回路64ではフレーム間YC分離回路611とライン間YC分離回路621からの入力を動き検出回路63からの動き量に応じた比率で混合して出力する。セクタ65では選択信号M/NがNTSCを選択している場合NTSC信号処理の通常の動き適応3次元YC分離出力であるS6を選択しこれを出力する。動き適応3次元YC分離処理で分離された色信号はセクタ65を介して減算器66と色信号補間回路69に供給される。

30 【0046】減算器66では入力NTSC信号より色信号を減算することで輝度信号を得る。フィールド間補間回路671では入力された輝度信号と、同信号を出力端Rより出力して画像メモリ31を経て入力端Sより得た1フィールド期間遅延信号とで走査線補間処理がなされる。ライン間補間回路681では入力された輝度信号の現信号だけを用いて走査線補間を行う。混合回路70ではフィールド間補間回路671とライン間補間回路681からの入力を動き検出回路63からの動き量に応じた比率で混合して出力する。セクタ71は選択信号M/NがNTSCを選択している場合にはNTSC信号処理の通常の動き適応走査線補間出力であるS8を選択し、これを出力する。セクタ71からの輝度信号と、色信号補間回路69で走査線補間が行われた色信号は復号回路72に供給され、その後の復号処理が行われRGBのデジタルデータとして順次走査のNTSC信号の復号出力を得る。

50 【0047】このように選択信号M/NがNTSCを選

## 11

扱われる場合には、NTSC信号処理ブロック27は本来の動き適応時空間信号処理を行うよう動作する。

【0048】MUSE信号処理ブロック26において復号された映像信号とNTSC信号処理ブロックにおいて復号された映像信号はともに画面合成回路33に入力される。画面合成回路33では例えば図5、図6に示すように、二つの映像信号を合成して一つの映像信号出力を得る。この場合選択信号M/Nによって選択されている方の映像信号が主画面である方が好ましいことは言うまでもない。画面合成回路33の出力映像信号は、D/A変換器35によってアナログ映像信号に変換され、モニタへと供給される。一方MUSE信号処理ブロック26の録画用出力はD/A変換器34によってアナログ映像信号に変換され録画用出力端子36に供給される。

【0049】以上のようにこの実施例によれば、時空間信号処理回路が選択信号にしたがって画像メモリの利用を制限される場合には、信号処理の経路をメモリを必要としない空間処理回路を通過する経路に切り換えることにより、画像メモリを主に利用する信号処理回路ブロックと画像メモリの利用が制限される信号処理回路ブロックの両方の映像を楽しむことができる。

【0050】なおこの実施例では時空間信号処理回路が選択信号にしたがって画像メモリの利用を制限される場合には、セクタ45、65、70を用いて信号処理の経路を強制的に空間処理のみを通過する経路に切り換えていたが、混合回路44、64、70において空間信号処理の出力と時空間信号処理の出力の混合比を強制的に10:0とするような構成であっても良いことは言うまでもない。またこの実施例では、フレーム間内挿回路421は現信号と画像メモリ29を介して得た1フレーム遅延信号とでフレーム間内挿処理を行ったが、図11に示した従来例におけるセクタ回路109、画像メモリ107、108からなる巡回構成のフレーム間内挿回路であっても良いことは言うまでもない。

【0051】さらにこの実施例ではMUSE信号処理ブロックとNTSC信号処理ブロックでメモリを共有する例を示したが、2つ以上のいかなる放送方式に対応した信号処理回路ブロック間でメモリを共有しても良いことは言うまでもない。さらにこの実施例ではメモリ共有の組み合わせとしてMUSEのフレーム間内挿回路421とNTSCのフレーム間YC分離回路611、MUSEのフィールド間内挿回路422と時空間フィルタ48、NTSCのフィールド間補間回路671の間でそれぞれメモリを共有したが、この組み合わせに限定されるものではないことも言うまでもない。

【0052】図7は第3の発明の第1の実施例におけるテレビジョン受像機のブロック図を示すものである。図7において、1~20は図1に示した第1の発明の実施例と同様である。81、82、83はそれぞれ第1、第2、第3の信号処理回路ブロックへ信号処理回路を駆動

## 12

するためのクロックを入力する入力端子。84、85、86はそれぞれ第1、第2、第3の信号処理回路ブロックへ供給するクロック信号を選択信号S1にしたがって通過させるか“L”レベルに固定するかを切り換えるAND回路である。

【0053】以上のように構成されたこの実施例のテレビジョン受像機において、以下その動作を説明する。動作の説明は復号すべきテレビジョン信号が第1の放送方式の場合、第2の放送方式の場合、第3の放送方式の場合に分けて行う。

【0054】まず第1の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力端子11のみを通過状態にし、出力端子12、13を高インピーダンス状態にすることにより等価的に出力端子11の信号線のみをメモリブロック14に接続した状態にする。

【0055】さらにS1はAND回路84、85、86に入力する信号のうち84に入力する信号のみ“H”レベルにし、85、86に入力する信号を“L”レベルにすることによって、入力端子81、82、83に入力されたクロック信号のうち、81のクロック信号のみを第1の信号処理回路ブロック内に供給し、82、83のクロック信号はそれぞれ第2、第3の信号処理回路ブロック内には供給しない。入力端子1に加えられた第1の放送方式のテレビジョン信号は、A/D変換器5においてディジタル信号に変換され、変換されたディジタルテレビジョン信号は第1の信号処理回路ブロック8において復号され、D/A変換器15によって再びアナログ信号に変換され、出力端子18より第1の映像信号を得る。

【0056】第2の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力端子12のみを通過状態にし、出力端子11、13を高インピーダンス状態にすることにより等価的に出力端子12の信号線のみをメモリブロック14に接続した状態にする。

【0057】さらにS1はAND回路84、85、86に入力する信号のうち85に入力する信号のみ“H”レベルにし、84、86に入力する信号を“L”レベルにすることによって、入力端子81、82、83に入力されたクロック信号のうち、82のクロック信号のみを第2の信号処理回路ブロック内に供給し、81、83のクロック信号はそれぞれ第1、第3の信号処理回路ブロック内には供給しない。入力端子2に加えられた第2の放送方式のテレビジョン信号は、A/D変換器6においてディジタル信号に変換され、変換されたディジタルテレビジョン信号は第2の信号処理回路ブロック9において復号され、D/A変換器16によって再びアナログ信号に変換され、出力端子19より第2の映像信号を得る。

【0058】第3の放送方式のテレビジョン信号を処理する場合、入力端子4に加えられた選択信号S1は出力

## 13

端子13のみを通過状態にし、出力端子11、12を高インピーダンス状態にすることにより等価的に出力端子13の信号線のみをメモリブロック14に接続した状態にする。

【0059】さらにS1はAND回路84、85、86に入力する信号のうち86に入力する信号のみ“H”レベルにし、84、85に入力する信号を“L”レベルにすることによって、入力端子81、82、83に入力されたクロック信号のうち、83のクロック信号のみを第3の信号処理回路ブロック内に供給し、81、82のクロック信号はそれぞれ第1、第2の信号処理回路ブロック内には供給しない。入力端子3に加えられた第3の放送方式のテレビジョン信号は、A/D変換器7においてデジタル信号に変換され、変換されたデジタルテレビジョン信号は信号は第3の信号処理回路ブロック10において復号され、D/A変換器17によって再びアナログ信号に変換され、出力端子20より第3の映像信号を得る。

【0060】以上のようにこの実施例によれば、複数の放送方式に対応したそれぞれの信号処理回路ブロックからメモリブロックへ信号を供給する出力端子にトライステート機能を設け、各出力端子のトライステート状態を制御することでメモリブロックへの入力信号を切り換えることにより画像メモリの共用が可能となるとともに、選択信号S1によって選択されずにメモリブロックから切り離されている信号処理回路ブロックのクロック信号の供給を止めることによって、信号処理がなされないブロックの消費電力を削減し、不要な電力消費を抑制することができる。

【0061】なおこの実施例では3つの信号処理回路ブロックでメモリブロックを共有する例を示したが、信号処理回路ブロックの数は2つ以上のいかなる数でも良いことは言うまでもない。また、この実施例ではメモリブロックへの入出力信号を各信号処理回路ブロックで一つづつである例を示したが、入出力信号の数は1つ以上のいかなる数でも良いことも言うまでもない。さらにこの実施例では各信号処理回路ブロックへのクロック信号の供給を止めるためにAND回路を用いたが、通常のON/OFFスイッチなどクロック信号の供給を制御するものであればどのようなものでもよい。

【0062】図8は第3の発明の第2の実施例におけるテレビジョン受像機のブロック図を示すものである。図8において、14、21〜37は図2に示した第2の発明の実施例と同様である。38はMUSE信号処理ブロック26を駆動するためのクロック信号CKMを入力する入力端子、39はNTSC信号処理ブロック27を駆動するためのクロック信号CKNを入力する入力端子である。

【0063】図9はMUSE信号処理ブロック26の構成例を示すブロック図である。図9において、41〜5

## 14

4は図3に示した第2の発明の実施例と同様である。55、56はAND回路である。

【0064】図10はNTSC信号処理ブロック27の構成例を示すブロック図である。図10において、61〜74は図4に示した第2の発明の実施例と同様である。75はAND回路である。

【0065】以上のように構成されたこの実施例のテレビジョン受像機において、以下その動作を説明する。基本動作は第2の発明の実施例と同様であるので、ここでは本実施例の特有の動作についてのみ説明する。クロック信号入力端子38にはMUSE信号処理ブロックを駆動するためのクロック信号CKMが入力され、クロック信号入力端子39にはNTSC信号処理ブロックを駆動するためのクロック信号CKNが入力される。

【0066】以下の動作の説明は主に復号すべき信号がMUSE信号の場合とNTSC信号の場合とに分けて行う。

【0067】まずMUSE信号を主に復号する場合、入力端子23に加えられる選択信号M/NはMUSEを選択する値となりMUSE信号処理ブロック26とNTSC信号処理ブロック27とに入力される。MUSE信号処理ブロック26では選択信号M/NがMUSEを選択している場合AND回路55の出力CK1は入力クロック信号CKMと同じになる。一方AND回路56の出力CK2は“L”レベル固定となり、クロック信号が停止した状態となる。フレーム間内挿回路421、フィールド間内挿回路422、動き検出回路43、混合回路44には駆動クロック信号としてCK1が供給されており、時空間フィルタ回路48にはCK2が供給されている。その他の処理回路については選択信号M/Nによらない適当なクロックが供給されていることは言うまでもない。

【0068】したがって選択信号M/NがMUSEを選択している場合、時空間フィルタ回路48にはクロックが供給されないことになり動作しない。第2の発明の実施例より、セクタ49はS4を選択している状態なので、全体の信号処理経路には影響がない。したがってこの場合時空間フィルタ回路48が消費する電力を削減できる。NTSC処理ブロック27では選択信号M/NがMUSEを選択している場合AND回路75の出力CK3は“L”レベル固定となり、クロック信号が停止した状態となる。フレーム間YC分離回路611、動き検出回路63、混合回路64、フィールド間補間回路671、混合回路70には駆動クロック信号としてCK3が供給されている。

【0069】その他の処理回路については選択信号M/Nによらない適当なクロックが供給されていることは言うまでもない。したがって選択信号M/NがMUSEを選択している場合、フレーム間YC分離回路611、動き検出回路63、混合回路64、フィールド間補間回路



15

671, 混合回路70にはクロックが供給されないことになり動作しない。第2の発明の実施例より、セレクト65はS7を、セレクト71はS9をそれぞれ選択している状態なので、全体の信号処理経路には影響がない。したがってこの場合フレーム間YC分離回路611, 動き検出回路63, 混合回路64, フィールド間補間回路671, 混合回路70が消費する電力を削減できる。

【0070】次にNTSC信号を主に復号する場合、入力端子23に加えられる選択信号M/NはNTSCを選択する値となりMUSE信号処理ブロック26とNTSC信号処理ブロック27とに入力される。MUSE信号処理ブロック26では選択信号M/NがNTSCを選択している場合、AND回路55の出力CK1は“L”レベル固定となり、クロック信号が停止した状態となる。一方AND回路56の出力CK2は入力クロック信号CKMと同じになる。この場合、フレーム間内挿回路421, フィールド間内挿回路422, 動き検出回路43, 混合回路44にはクロックが供給されないことになり動作しない。

【0071】第2の発明の実施例より、セレクト45はS2を選択している状態なので、全体の信号処理経路には影響がない。したがってこの場合フレーム間内挿回路421, フィールド間内挿回路422, 動き検出回路43, 混合回路44が消費する電力を削減できる。NTSC処理ブロック27では選択信号M/NがNTSCを選択している場合AND回路75の出力CK3は入力クロック信号CKNと同じになる。この場合NTSC信号処理ブロック内の全ての信号処理回路が動作する。

【0072】以上のようにこの実施例によれば、選択信号にしたがって画像メモリの利用が制限される信号処理回路ブロックにおいて、信号処理の経路をメモリが利用できなくなった時空間処理を経過しない経路に切り換えるととことによって、画像メモリを主に利用する信号処理回路ブロックと画像メモリの利用が制限される信号処理回路ブロックの両方の映像を楽しむことができるとともに、経路が切り変わったことにより信号処理の経路上、出力信号に影響を及ぼさない信号処理回路のクロックの供給を止めることによって不要な電力消費を抑制することができる。

【0073】なおこの実施例では時空間信号処理回路が選択信号にしたがって画像メモリの利用を制限される場合には、セレクト45, 65, 70を用いて信号処理の経路を強制的に空間処理のみを通過する経路に切り換えていたが、混合回路44, 64, 70において空間信号処理の出力と時空間信号処理の出力の混合比を強制的に10:0とするような構成であっても良いことは言うまでもない。またこの実施例では、フレーム間内挿回路421は現信号と画像メモリ29を介して得た1フレーム遅延信号とでフレーム間内挿処理を行ったが、図11に示した従来例におけるセレクト回路109, 画像メモリ

16

107, 108からなる巡回構成のフレーム間内挿回路であっても良いことは言うまでもない。

【0074】さらにこの実施例ではMUSE信号処理ブロックとNTSC信号処理ブロックでメモリを共有する例を示したが、2つ以上のいかなる放送方式に対応した信号処理回路ブロック間でメモリを共有しても良いことは言うまでもない。さらにこの実施例ではメモリ共有の組み合わせとしてMUSEのフレーム間内挿回路421とNTSCのフレーム間YC分離回路611, MUSEのフィールド間内挿回路422と時空間フィルタ48, NTSCのフィールド間補間回路671の間でそれぞれメモリを共有したが、この組み合わせに限定されるものではないことも言うまでもない。さらにこの実施例では各信号処理回路ブロックへのクロック信号の供給を止めるためにAND回路を用いたが、通常のON/OFFスイッチなどクロック信号の供給を制御するものであればどのようなものでもよい。

【0075】

【発明の効果】以上説明したように、第1の発明によれば、メモリの入力に共通に接続されている複数の信号処理回路のそれぞれ出力端子にトライステート機能をもたせ、メモリへ入力する信号を択一的に選択するようにすることによって、セレクトなどのハードウェアを特に増設することなく多数の信号処理回路ブロックからのメモリの共有や、信号処理回路ブロック内の各処理ごとの様々なメモリ共有の組み合わせにも柔軟に対応することができ、その実用的効果は大きい。

【0076】第2の発明によれば、第1の発明の効果に加えて、メモリ共用化状態においても各信号処理回路がそれぞれの映像信号処理を行うことで、同時に複数の映像を見ることができ、その実用的効果は大きい。

【0077】第3の発明によれば、第2の発明の効果に加えて、不要な電力消費を抑制することができ、その実用的効果は大きい。

【図面の簡単な説明】

【図1】第1発明の実施例におけるテレビジョン受像機のブロック図

【図2】第2発明の実施例におけるテレビジョン受像機のブロック図

【図3】同実施例のMUSE信号処理ブロックの構成例を示すブロック図

【図4】同実施例のNTSC信号処理ブロックの構成例を示すブロック図

【図5】同実施例の画面合成回路の動作を説明するための第1の画面図

【図6】同実施例の画面合成回路の動作を説明するための第2の画面図

【図7】第3の発明の第1の実施例におけるテレビジョン受像機のブロック図

【図8】第3の発明の第2の実施例におけるテレビジョン

17

ン受像機のブロック図

【図9】同実施例のMUSE信号処理ブロックの構成例を示すブロック図

【図10】同実施例のNTSC信号処理ブロックの構成例を示すブロック図

【図11】従来のテレビジョン受像機のブロック図

【符号の説明】

1, 2, 3, 4, 21, 22, 23, 38, 39, 8  
1, 82, 83, 101, 102, 103 信号の入力端子  
5, 6, 7, 24, 25 A/D変換器  
8, 9, 10 信号処理回路ブロック  
11, 12, 13, 51, 52, 53, 73, 74 トライステート出力端子  
14 メモリブロック  
15, 16, 17, 34, 35, 117, 118, 119, 120, 121, 122 D/A変換器  
18, 19, 20, 36 信号の出力端子  
26, 115 MUSE信号処理ブロック  
27, 116 NTSC信号処理ブロック  
29, 30, 31, 32, 107, 108 画像メモリ  
33 画面合成回路

18

37, 123, 124 モニタ

41 動画処理回路

42 静止画処理回路

43, 63 動き検出回路

44, 64, 70 混合回路

45, 49, 65, 71, 106, 109, 112 セレクタ回路

46, 50, 72 復号回路

47 走査線数変換回路

10 48 時空間フィルタ回路

61 静止画用YC分離回路

62 動画用YC分離回路

66 減算器

67 静止画用走査線補間回路

68 動画用走査線補間回路

69 色信号補間回路

55, 56, 75, 84, 84, 86 AND回路

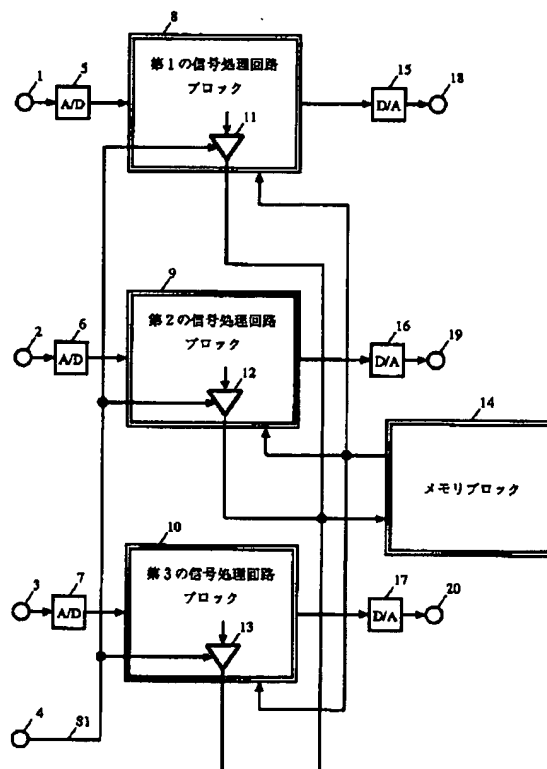
110 MUSE用タイミング発生回路

111 NTSC用タイミング発生回路

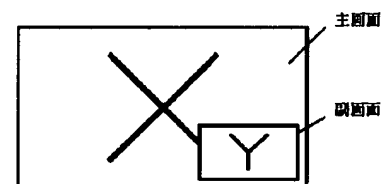
20 113 アドレス発生器

114 分離回路

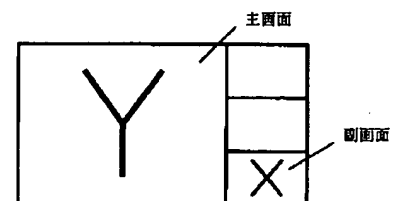
【図1】



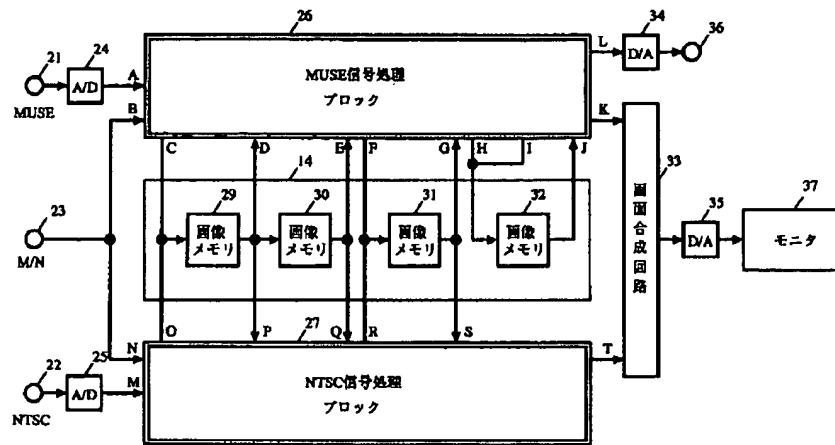
【図5】



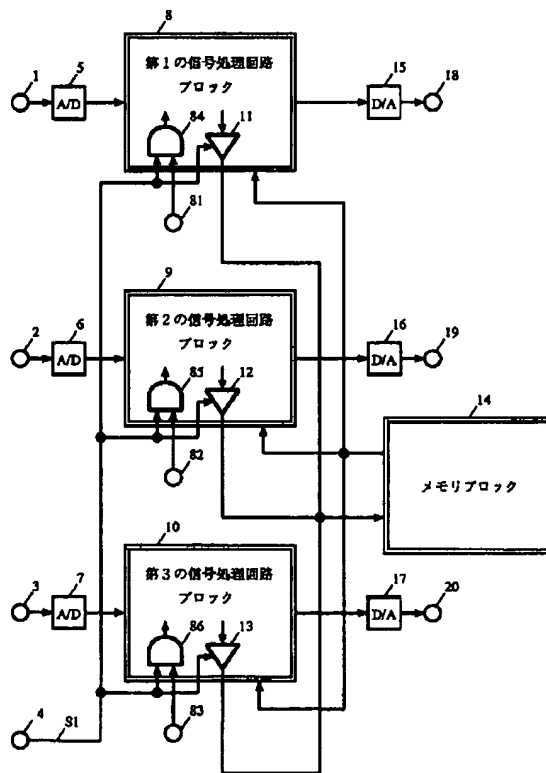
【図6】



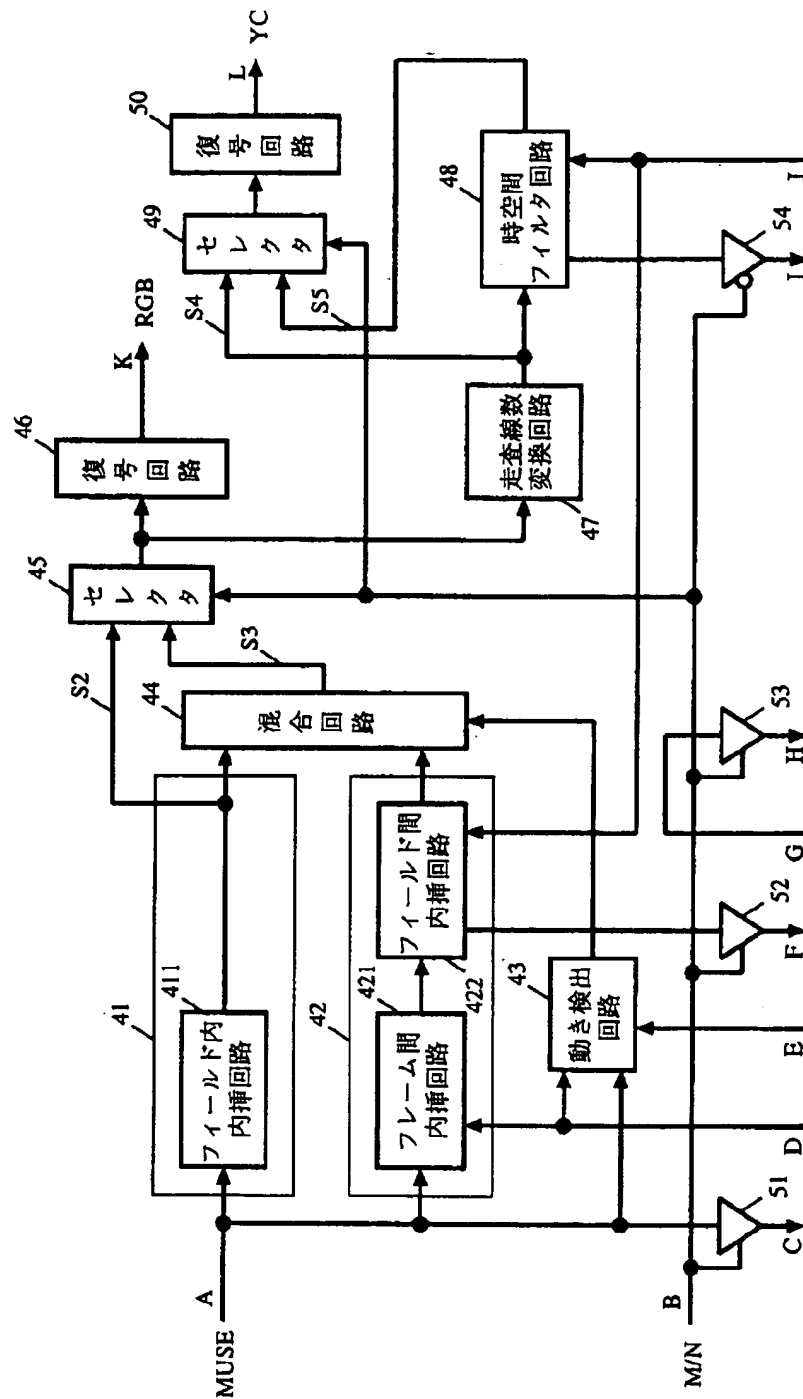
【図2】



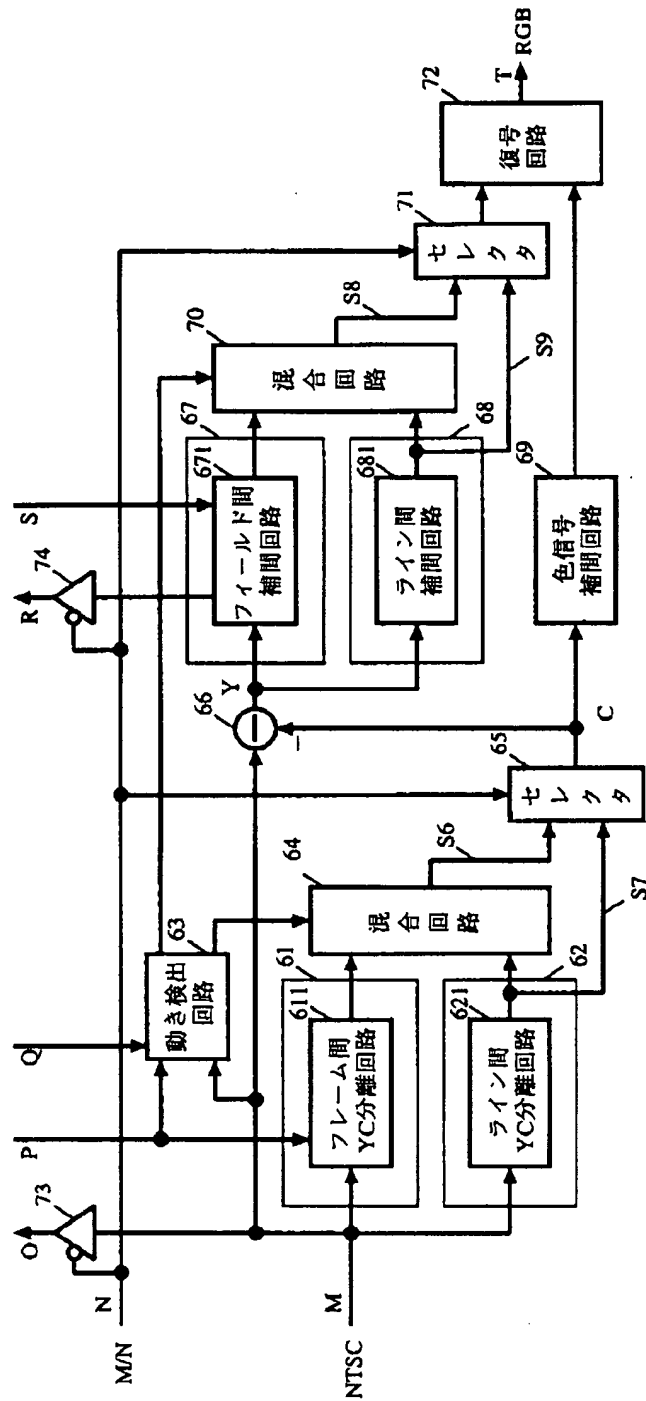
【図7】



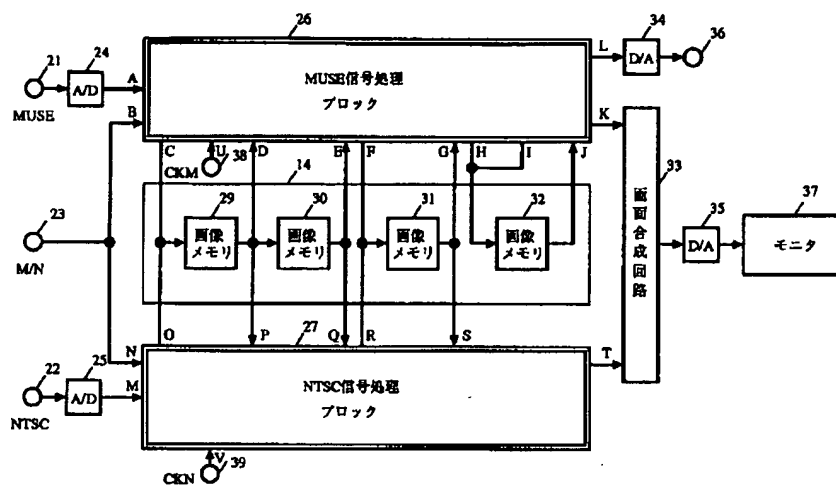
【図3】



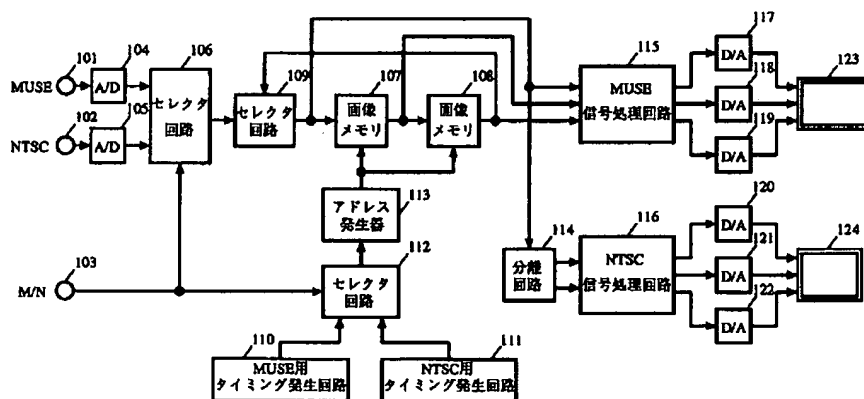
【図4】



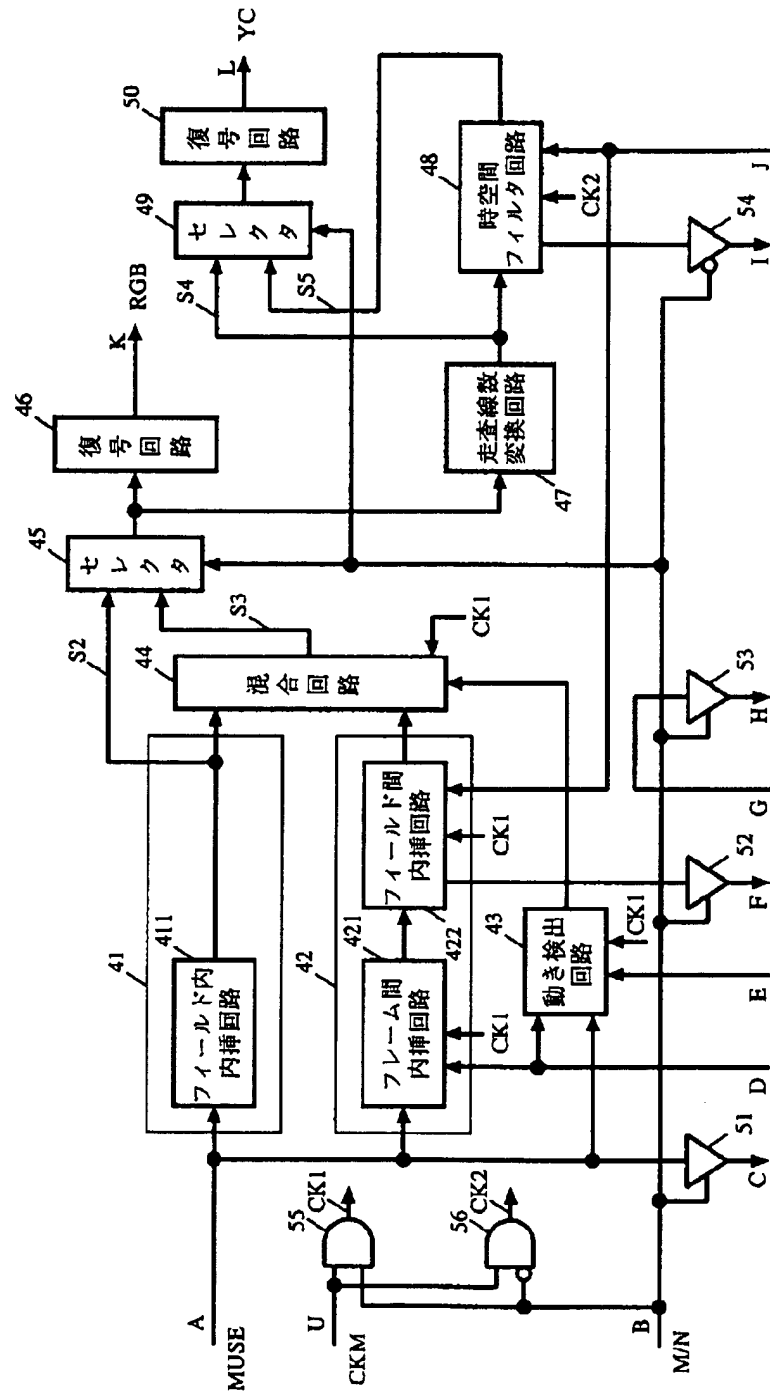
【図8】



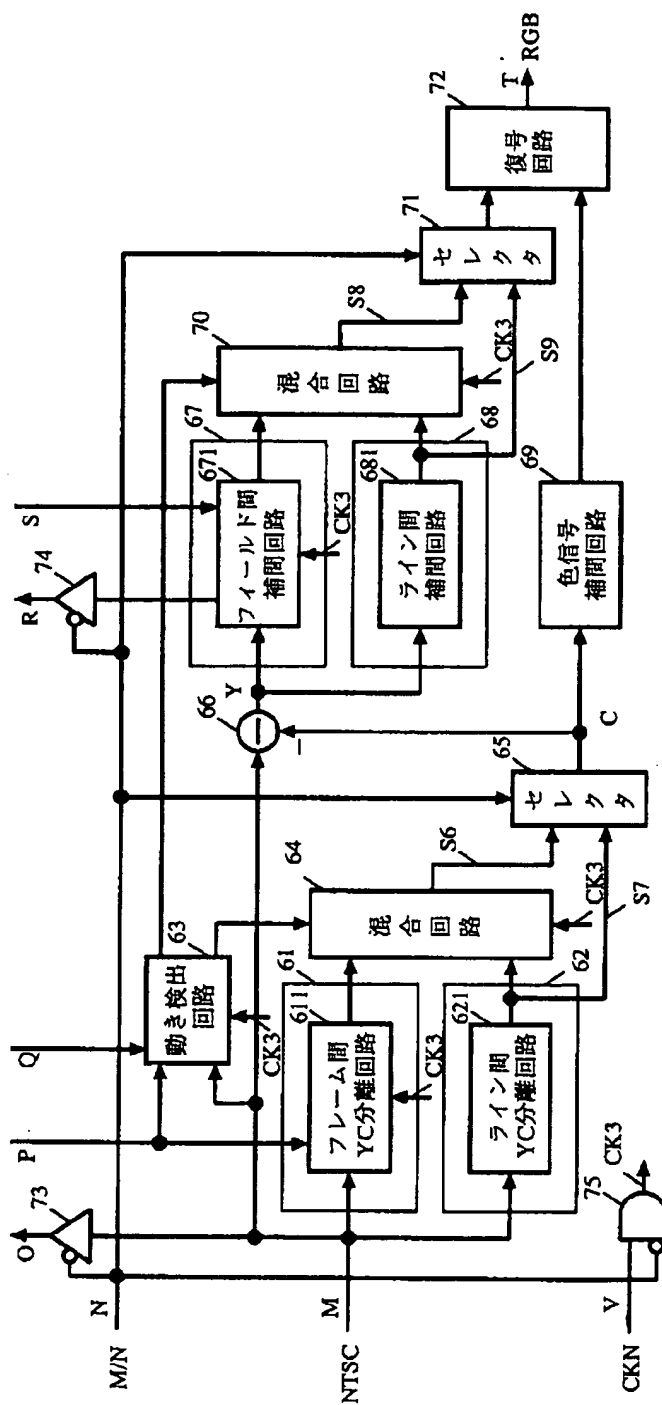
【図11】



【図9】



【図10】



フロントページの続き

(72)発明者 石津 厚  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088838  
(43)Date of publication of application : 02.04.1996

(51)Int.Cl. H04N 7/01  
H04N 7/24

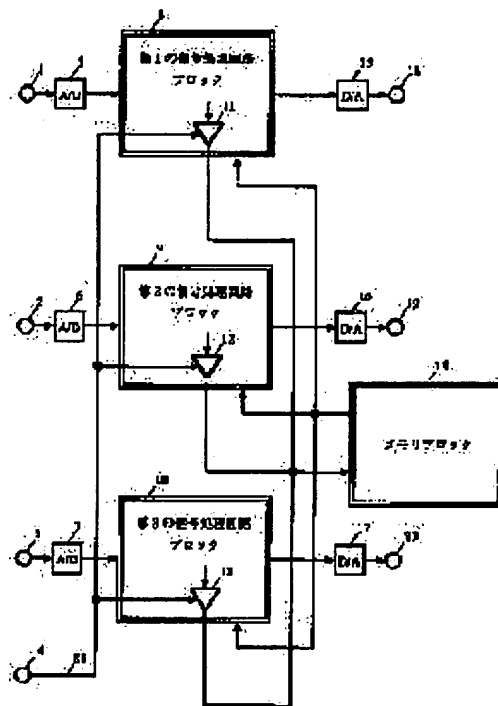
(21)Application number : 06-223369 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(22)Date of filing : 19.09.1994 (72)Inventor : TOKOI MASAKI  
SAGAWA KENTA  
HAMADA MASANORI  
ISHIZU ATSUSHI

## (54) TELEVISION RECEIVER

### (57)Abstract:

**PURPOSE:** To flexibly cope with the combination of memory sharing by providing a tristate function in the respective output terminals of plural signal processing circuits and alternatively selecting signals to be inputted to a memory.

**CONSTITUTION:** In the case of processing the television signals of a first broadcasting system, selection signals S1 added to an input terminal 4 attain a state where only the signal line of the output terminal 11 is equivalently connected to a memory block 14 by turning only the output terminal 11 to a passing state and turning the output terminal 12 and 13 to a high impedance state. The television signals of the first broadcast system added to the input terminal 1 are converted into digital signals in an A/D converter 5, the converted digital television signals are decoded in a first signal processing circuit block 8 and converted into analog signals again by a D/A converter 15 and first video signals are obtained from the output terminal 18. In this case, by switching input signals to the memory block, a picture memory can be shared.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\*NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It has two or more video-signal processing circuit blocks and at least one memory block. The signal line from said two or more video-signal processing circuit blocks is connected to the input terminal of said memory block in common. Said two or more video-signal processing circuit blocks It has a tri-state function in the output terminal which supplies a signal to said memory block. The television receiver characterized by choosing the input signal to said memory block alternatively by changing all into a high impedance condition except for the output terminal chosen according to the selection signal.

[Claim 2] Said two or more video-signal processing circuit blocks and said at least one memory memory block are a television receiver according to claim 1 characterized by performing signal processing corresponding to two or more broadcasting formats.

[Claim 3] The space digital disposal circuit to which, as for said two or more video-signal processing circuit blocks, each processes only using the signal in the same field of an arrival input signal, It has the digital disposal circuit between space-time which processes using the signal for two or more fields. The television receiver according to claim 1 characterized by making the signal-processing gestalt which does not use the output from the digital disposal circuit between said space-time when the signal for two or more fields is not acquired by the digital disposal circuit between said space-time according to said selection signal.

[Claim 4] Said two or more digital-disposal-circuit blocks are television receivers according to claim 1 characterized by the ability of each to suspend the whole block or some drive clocks according to said selection signal.

---

[Translation done.]

**\*NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the television receiver which can receive the television signal of two or more broadcasting formats.

[0002]

[Description of the Prior Art] Digital-signal-processing techniques, such as compression, restoration, etc. of the television signal using an image memory mass with a television technique in recent years, are common. However, how vary with an area or a frequency band and, as for a television broadcasting method, an image memory is used by each signal-processing method differs. In the television receiver corresponding to two or more broadcasting formats, generally, it had to have an image memory for every digital disposal circuit corresponding to each broadcasting format, and increase of the amount of image memories has led to the steep rise of product cost. Then, it is idea \*\*\*\*\* to share image memory between the digital disposal circuits corresponding to each broadcasting format in the television receiver which can receive two or more broadcasting formats.

[0003] As a conventional television receiver, it is shown, for example in JP,62-206977,A.

[0004] Drawing 11 shows the block diagram of this conventional television receiver, and the television receiver which can receive the television signal of two methods of the MUSE (Ninomiya, 95-2 37-42 pages of other "one satellite transmission systems (MUSE) of high definition television" television society technical reports TEBS) which is a band compression method of a high definition television signal, and the NTSC system which is a broadcasting format of the present standard TV signal is described by this conventional example.

[0005] In drawing 11 the input terminal of the MUSE signal of baseband and 102 101 The input terminal of the NTSC signal of baseband, The A/D converter from which the input terminal of MUSE / NTSC switch selection-signal M/N and 104,105 change \*\*\*\*\* MUSE and an NTSC signal into a digital signal in 103, 106 The selector circuit which carries out the selection output of MUSE/the NTSC signal according to selection-signal M/N, For every pixel, arrange by turns the signal by which 107,108 was carried out with the image memory and one-frame period delay of 109 was carried out with the input signal and the image memory 107,108, and it is outputted. The selector circuit which performs inter-frame interpolation processing, the timing generating circuit which generates the timing signal for MUSE in 110, The timing generating circuit which generates the timing signal for NTSC in 111, The selector circuit where 112 carries out the selection output of the timing signal from the timing generating circuit for /NTSC for MUSE according to selection-signal M/N, The address generation machine which generates the address for 113 to control actuation of an image memory 107,108 according to the timing signal from a selector circuit 112, The separation circuit which separates the signal of the present field with which 114 was multiplexed by inter-frame interpolation processing in the selector circuit 109, and the signal by which one-frame period delay was carried out, As for a D/A converter and 123, the MUSE digital disposal circuit to which 115 performs decode processing of MUSE, the NTSC digital disposal circuit to which 116 performs decode processing of NTSC, and 117-122 are [ the monitor for a display of a high definition television and 124 ] the monitors for a display of the present standard television.

[0006] Actuation of the conventional television receiver constituted as mentioned above is explained referring to a drawing. A MUSE signal is inputted into a terminal 101 in drawing, and the signal which became digital data with A/D converter 104 is inputted into a selector 106. An NTSC signal is inputted into a terminal 102 at coincidence, and the signal which became digital data with A/D converter 105 is inputted into a selector circuit 106. Moreover, signal M/N which switches a MUSE signal and an NTSC signal is inputted into a terminal 103, and a MUSE signal and an NTSC signal are switched and outputted by signal M/N in a selector circuit 106.

[0007] When a MUSE signal is chosen in a selector circuit 106, in a selector circuit 112, the timing signal outputted from the timing generating circuit 110 for MUSE according to signal M/N is chosen. The address signal which was suitable for the MUSE signal according to the timing signal from a selector circuit 112 is generated, and an image

memory 107,108 is controlled by the address generation circuit 113. Therefore, it works as a delay machine of the one-frame period of a MUSE signal, and actuation of the image memory 107,108 in this case performs inter-frame interpolation processing in a selector circuit 109 by switching and outputting an input MUSE signal and an one-frame delay MUSE signal at the double rate of a sample rate. In the MUSE digital disposal circuit 115, each decode processing of the MUSE signal following it is performed to the signal with which inter-frame interpolation processing was made, and each digital data of the RGB video signal after decode is outputted. Each digital data is changed into an analog signal by D/A converter 117,118,119, respectively, and is inputted into a monitor 123.

[0008] On the other hand, when an NTSC signal is chosen in a selector circuit 106, in a selector 112, the timing signal outputted from the timing generating circuit 111 for NTSC according to a M/N signal is chosen. The address signal which was suitable for the NTSC signal according to the timing signal from a selector circuit 112 is generated, and an image memory 107,108 is controlled by the address generation machine 113.

[0009] Therefore, actuation of the image memory 107,108 in this case multiplexes the NTSC signal of the present field, and the NTSC signal which carried out one-frame period delay for every pixel like inter-frame interpolation processing of MUSE by working as a delay machine of the one-frame period of an NTSC signal, and switching and outputting an input NTSC signal and an one-frame delay NTSC signal at the double rate of a sample rate in a selector circuit 109. In the separation circuit 114, the NTSC signal multiplexed in the selector circuit 106 is divided into the signal which carried out one-frame period delay with the present field again. In the NTSC digital disposal circuit 116, each decode processing of a subsequent NTSC signal is performed using the signal of the present field from the separation circuit 114, and the signal which carried out one-frame period delay, and each digital data of the RGB video signal after decode is outputted. Each digital data is changed into an analog signal by D/A converter 120,121,122, respectively, and is inputted into a monitor 124.

[0010]

[Problem(s) to be Solved by the Invention] However, the above configurations are memory common use during the processing to which it was restricted between two methods, and had technical problems, such as needing an a large number and multistage selector circuit for corresponding to the common use during the digital-disposal-circuit block of a majority of three or more methods, and memory common use in each space-time processing circuit unit within a digital-disposal-circuit block. Moreover, with the above configurations, any digital disposal circuits other than the selected broadcasting format had the technical problem that only the image of one of broadcasting formats could always be enjoyed in order not to operate normally. With the still more above configurations, although the digital-disposal-circuit block which is operating effectively was one, it had the technical problem that the power for two digital-disposal-circuit blocks will be consumed.

[0011] The 1st invention corresponds to two or more broadcasting formats in view of this point, and it aims at offering the television receiver which shares a part or all of memory between the digital disposal circuits corresponding to each broadcasting format, and attains low cost-ization.

[0012] The 2nd this invention also aims images other than the broadcasting format with which decode processing is performed, using a shared memory preferentially at offering the television receiver which can be enjoyed to coincidence in view of this point.

[0013] The 3rd invention aims at offering the television receiver corresponding to two or more methods which control unnecessary power consumption in view of this point.

[0014]

[Means for Solving the Problem] The 1st invention is equipped with two or more digital-disposal-circuit blocks and at least one memory block. To the input terminal of said memory block The signal line from said two or more digital-disposal-circuit blocks is connected in common. Said two or more digital-disposal-circuit blocks It has a tri-state function in the output terminal which supplies a signal to said memory block. It is the television receiver characterized by choosing the input signal to said memory block alternatively by changing all into a high impedance condition except for the output terminal chosen according to said selection signal.

[0015] The space digital disposal circuit to which, as for the 2nd invention, each of a digital-disposal-circuit block of said plurality processes only using the signal in the same field of an arrival input signal, It has the digital disposal circuit between space-time which processes using the signal for two or more fields. When the signal for two or more fields is not acquired by the digital disposal circuit between said space-time according to said selection signal, it is the television receiver characterized by making the signal-processing gestalt which does not use the output from the digital disposal circuit between said space-time.

[0016] The 3rd invention is a television receiver with which each of a digital-disposal-circuit block of said plurality is characterized by the ability to suspend the whole block or some drive clocks according to said selection signal.

[0017]

[Function] By the above mentioned configuration, the 1st invention gives a tri-state function to the output terminal of

two or more digital disposal circuits connected common to the input of memory, the signal which changes into a high impedance condition except what was chosen with the selection signal, and is inputted into memory is chosen alternatively, and memory can be common-use-ized by each digital disposal circuit by switching a selection signal. [0018] the 2nd invention -- an operation of the 1st invention by said configuration carried out -- in addition, when it is in the condition that memory cannot be used according to a selection signal, each digital disposal circuit switches so that decode processing of an input signal may be performed by the space processing which does not need memory, and can perform two or more video-signal processings to coincidence also in a memory common use-ized condition. [0019] the 3rd invention -- an operation of the 2nd invention by said configuration carried out -- in addition, when not chosen by the selection signal, each digital disposal circuit can suspend a drive clock, and can control unnecessary power consumption.

[0020]

[Example] Drawing 1 shows the block diagram of the television receiver in the example of the 1st invention. The input terminal into which 1 inputs the television signal of the 1st broadcasting format in drawing 1, The input terminal into which 2 inputs the television signal of the 2nd broadcasting format, the input terminal into which 3 inputs the television signal of the 3rd broadcasting format, The 1st digital-disposal-circuit block corresponding to an A/D converter in the input terminal of a selection signal S1, and 5-7 with which 4 performs signal processing corresponding to the 1st broadcasting format in 8, The 2nd digital-disposal-circuit block with which 9 performs signal processing corresponding to the 2nd broadcasting format, The 3rd digital-disposal-circuit block with which 10 performs signal processing corresponding to the 3rd broadcasting format, Memory block with [ two or more ] the image memory which needs 14 for the processing between space-time and time-axis transform processing in video-signal processing, 11, 12, and 13 are a tri-state output terminal which switches whether the output of the signal supplied to memory block 14 is passed according to a control signal S1 from the 1st, 2nd, and 3rd digital-disposal-circuit block, or it changes into a high impedance condition, respectively. The output terminal to which 15-17 output a D/A converter, and 18 outputs the decode signal of the television signal of the 1st broadcasting format, the output terminal to which 19 outputs the decode signal of the television signal of the 2nd broadcasting format, and 20 are output terminals which output the decode signal of the television signal of the 3rd broadcasting format.

[0021] In the television receiver of this example constituted as mentioned above, that actuation is explained below. When the television signal which should be decoded is the 1st broadcasting format and it is the 2nd broadcasting format, explanation of operation is divided when it is the 3rd broadcasting format, and is performed.

[0022] When processing the television signal of the 1st broadcasting format first, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 11 to memory block 14 equivalent, by changing only an output terminal 11 into a passage condition, and changing output terminals 12 and 13 into a high impedance condition. The television signal of the 1st broadcasting format added to the input terminal 1 is changed into a digital signal in A/D converter 5, and it decodes in the 1st digital-disposal-circuit block 8, and the changed digital television signal is again changed into an analog signal by D/A converter 15, and acquires the 1st video signal from an output terminal 18 with it.

[0023] When processing the television signal of the 2nd broadcasting format, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 12 to memory block 14 equivalent, by changing only an output terminal 12 into a passage condition, and changing output terminals 11 and 13 into a high impedance condition. The television signal of the 2nd broadcasting format added to the input terminal 2 is changed into a digital signal in A/D converter 6, and it decodes in the 2nd digital-disposal-circuit block 9, and the changed digital television signal is again changed into an analog signal by D/A converter 16, and acquires the 2nd video signal from an output terminal 19 with it.

[0024] When processing the television signal of the 3rd broadcasting format, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 13 to memory block 14 equivalent, by changing only an output terminal 13 into a passage condition, and changing output terminals 11 and 12 into a high impedance condition. The television signal of the 3rd broadcasting format added to the input terminal 3 is changed into a digital signal in A/D converter 7, and a signal is decoded in the 3rd digital-disposal-circuit block 10, and the changed digital television signal is again changed into an analog signal by D/A converter 17, and acquires the 3rd video signal from an output terminal 20 with it.

[0025] According to this example, image memory is faced common-use-izing as mentioned above with each digital-disposal-circuit block corresponding to two or more broadcasting formats. By preparing a tri-state function in the output terminal which supplies a signal to memory block from each digital-disposal-circuit block, and switching the input signal to memory block by controlling the tri-state condition of each output terminal Compared with what had switched the input signal to an image memory, common use of the image memory from three digital-disposal-circuit blocks is conventionally attained without extension of a new selector with selection means, such as a selector.

[0026] In addition, although [ this example ] a tri-state function is prepared in the output terminal which supplies a signal to memory block, if it is the function which changes an output terminal into a high impedance condition according to a control signal, it cannot be overemphasized that what kind of thing may be used. Moreover, although this example showed the example which shares memory block between three digital-disposal-circuit blocks to memory block, what kind of two or more numbers are sufficient as the number of digital-disposal-circuit blocks, and it cannot so be overemphasized that a number increases that invention shown in this example becomes still more effective. Although this example furthermore showed the example which is one at a time in each digital-disposal-circuit block about the I/O signal to memory block, what kind of one or more numbers are sufficient as the number of I/O signals, and it cannot be overemphasized that invention shown in this example also in that case becomes still more effective, either.

[0027] Drawing 2 shows the block diagram of the television receiver in the example of the 2nd invention. In drawing 2 the input terminal of a MUSE signal and 22 21 The input terminal of an NTSC signal, The MUSE signal-processing block whose 23 the input terminal of selection-signal M/N, and 24 and 25 decode an A/D converter, and, as for 26, decodes a MUSE signal, The NTSC digital-disposal-circuit block whose 27 decodes an NTSC signal, and 14 Memory block, An image memory with the capacity (about 4 M bits) to which 29 and 30 can carry out the one-frame period storage of the MUSE signal of a 16.2MHz sample rate, or the NTSC signal of a 14.3MHz sample rate, respectively, An image memory with the capacity (about 2 M bits) to which 31 and 32 can carry out 1 field period storage of this signal, respectively, As for a D/A converter and 36, the screen composition circuit where 33 compounds the output video signal of the MUSE signal-processing block 26 and the output video signal of the block 27 of NTSC signal processing on one screen, and 34 and 35 are [ the output terminal for an image transcription of the decode signal of a MUSE signal and 37 ] monitors.

[0028] Drawing 3 is the block diagram showing the example of a configuration of the MUSE signal-processing block 26. In drawing 3 , 41 is an output terminal in which an animation processing circuit and 42 have a still picture processing circuit and the decoder circuit of the signal for an image transcription into which the filter between space-time and 49 were changed into by the selector, and 50 was changed [ 43 ] for a motion detector, the number-of-scanning-lines conversion circuit from which in 44 a selector and 46 change a MUSE signal into the decoder circuit of a MUSE signal, and a mixing circuit and 45 change 47 into the signal for an image transcription and 48 from the MUSE signal by the number-of-scanning-lines conversion circuit 47, and 51-54 have a tri-state function In drawing 3 , the still picture processing circuit 42, the filter 48 between space-time, etc. are space-time processing circuits, and the animation processing circuit 41 is a space processing circuit. Moreover, it is shown that it is the point as A-L in drawing 2 that A-L in drawing 3 is the same.

[0029] Drawing 4 is the block diagram showing the example of a configuration of the NTSC signal-processing block 27. As for a mixing circuit, and 65 and 71, for the Y/C separation circuit for animations, and 63, in drawing 4 , a motion detector, and 64 and 70 are [ 61 / the Y/C separation circuit for still pictures, and 62 / a selector and 66 ] a subtractor, and the decoder circuit of the NTSC signal of sequential scanning and the output terminal in which in the scanning-line interpolation circuit for still pictures, and 68 the scanning-line interpolation circuit for chrominance signals and 72 have 73, and, as for 74, the scanning-line interpolation circuit for animations and 69 have [ 67 ] a tri-state function. In drawing 4 , YC separation circuit 61 for still pictures, the scanning-line interpolation circuit 67 for still pictures, etc. are [ a space-time processing circuit, YC separation circuit 62 for animations, the scanning-line interpolation circuit 68 for animations, etc. ] space processing circuits. Moreover, it is shown that it is the point as M-T in drawing 2 that M-T in drawing 4 is the same.

[0030] In the television receiver of this example constituted as mentioned above, that actuation is explained below.

[0031] The MUSE signal added to the input terminal 21 is changed into a digital signal in A/D converter 24, and is inputted into the MUSE signal-processing block 26. The NTSC signal added to the input terminal 22 is changed into a digital signal in A/D converter 25, and is inputted into the NTSC signal-processing block 27.

[0032] Explanation of the following actuation is divided when it is the case where the signal which should mainly be decoded is a MUSE signal, and an NTSC signal, and it is performed.

[0033] When mainly decoding a MUSE signal first, selection-signal M/N added to an input terminal 23 serves as a value which chooses MUSE, and is inputted into the MUSE signal-processing block 26 and the NTSC signal-processing block 27. In the MUSE signal-processing block 26, when selection-signal M/N has chosen MUSE, the outgoing end F of 52 will be connected to the input of an image memory 31, and the outgoing end H of 53 will be connected to the input of an image memory 29 for the outgoing end C of the tri-state output terminal 51 at the input of an image memory 32, respectively. On the other hand, the tri-state output terminal 54 is in a high impedance condition, and the outgoing end I is insulated with the image memory 32. In the inter-frame interpolation circuit 421, interpolation processing is made by the input MUSE signal and the one-frame period delay signal which outputted the input signal from the outgoing end C, and was acquired from the input edge D through the image memory 29, and the interpolation

circuit 422 between the fields is supplied.

[0034] It is the outgoing end F-image memory 31 about the signal by which inter-frame interpolation processing was carried out in the interpolation circuit 422 between the fields, and this signal. - Interpolation processing is made by 1 field period delay signal pass the path of the input edge G-outgoing end H-image memory 32-input edge J, and the image of the still picture field of a MUSE signal is restored. In the interpolation circuit 411 in the field, interpolation processing is performed only using the present signal and the image of the animation field of a MUSE signal is restored. The two-frame delay signal acquired from the input edge E through the present signal, the one-frame delay signal acquired from the input edge D, and an image memory 30 is inputted into the motion detector 43, and the 1 inter-frame and 2 inter-frame amount of motions is detected based on those signals. It moves by the mixing circuit 44, and the input from the animation processing circuit 41 and the still picture processing circuit 42 is mixed and outputted by the ratio according to the amount of motions from a detector 43 in it.

[0035] In a selector 45, when selection-signal M/N has chosen MUSE, S3 which is a motion adaptation processing output is chosen, and this is outputted. In a decoder circuit 46, each decode processing of subsequent MUSE is performed and the decode output of a MUSE signal is obtained as digital data of RGB. In the number-of-scanning-lines conversion circuit 47, in order to acquire a video signal recordable on present NTSC-VCR, number-of-scanning-lines conversion of a MUSE signal is performed. A selector 49 chooses S4 which is the output of the number-of-scanning-lines conversion circuit 47, when selection-signal M/N has chosen MUSE, and it outputs this. At this time, the filter circuit 48 between space-time does not affect the flow of a signal-processing system. In a decoder circuit 50, each subsequent decode processing is performed to the output of a selector 49, and the output for an image transcription is obtained as digital data of YC.

[0036] Thus, when selection-signal M/N chooses MUSE, the MUSE signal-processing block 26 performs processing between motion adaptation space-time which is signal processing of original MUSE, and it operates by the processing which obtains the output for an image transcription so that processing between space-time may not be performed conversely.

[0037] In the NTSC signal-processing block 27, when selection-signal M/N has chosen MUSE, both the tri-state output terminals 73 and 74 are in a high impedance condition, and will insulate from an image memory. In YC separation circuit 621 between Rhine, YC separation is performed only using the inputted present signal of an NTSC signal. When selection-signal M/N has chosen MUSE, a selector 65 chooses the output S7 of YC separation circuit 621 between Rhine, and outputs this. At this time, the inter-frame YC separation circuit 611, the motion detector 63, and a mixing circuit 64 do not affect the flow of a signal-processing system. The chrominance signal separated in YC separation circuit 621 between Rhine is supplied to a subtractor 66 and the chrominance-signal interpolation circuit 69 through a selector 65.

[0038] With a subtractor 66, a luminance signal is acquired by subtracting a chrominance signal from an input NTSC signal. In the interpolation circuit 681 between Rhine, scanning-line interpolation is performed only using the present signal of the inputted luminance signal. When selection-signal M/N has chosen MUSE, a selector 71 chooses output S9 of the interpolation circuit 681 between Rhine, and outputs this. At this time, the inter-frame interpolation circuit 671, the motion detector 63, and a mixing circuit 70 do not affect the flow of a signal-processing system. A decoder circuit 72 is supplied, subsequent decode processing is performed, and the luminance signal from a selector 71 and the chrominance signal with which scanning-line interpolation was performed in the chrominance-signal interpolation circuit 69 obtain the decode output of the NTSC signal of sequential scanning as digital data of RGB.

[0039] Thus, when selection-signal M/N chooses MUSE, it operates so that the NTSC signal-processing block 27 may not perform processing between space-time but all signal processing may be performed only by space processing.

[0040] Next, when mainly decoding an NTSC signal, selection-signal M/N added to an input terminal 23 serves as a value which chooses NTSC, and is inputted into the MUSE signal-processing block 26 and the NTSC signal-processing block 27. In the MUSE signal-processing block 26, when selection-signal M/N has chosen NTSC, the tri-state output terminals 51, 52, and 53 are in a high impedance condition altogether, and will insulate from an image memory. On the other hand, the outgoing end I of the tri-state output terminal 54 will be connected to the input of an image memory 32. In the interpolation circuit 411 in the field, interpolation processing is performed only using the present signal of an input MUSE signal, and an image is restored.

[0041] When selection-signal M/N has chosen NTSC, a selector 45 chooses the output S2 of the interpolation circuit 411 in the field, and outputs this. At this time, the inter-frame interpolation circuit 421, the interpolation circuit 422 between the fields, the motion detector 43, and a mixing circuit 44 do not affect the flow of a signal-processing system. The MUSE signal by which interpolation processing was carried out in the interpolation circuit in the field is supplied to a decoder circuit 46 through a selector 45. In a decoder circuit 46, each decode processing of subsequent MUSE is performed and the decode output of a MUSE signal is obtained as digital data of RGB. In the number-of-scanning-lines conversion circuit 47, in order to acquire a video signal recordable on present NTSC-VCR, number-of-scanning-lines



conversion of a MUSE signal is performed.

[0042] Since the input signal of a number-of-scanning-lines conversion circuit is a signal which restored the MUSE signal only by animation processing, it contains the noise component of the direction between space-time called distortion to the field which should carry out still picture processing essentially by return. In the filter circuit 48 between space-time, it works so that clinch distortion which remains in the output signal of a number-of-scanning-lines conversion circuit may be reduced. A selector 49 chooses the output signal S5 of the filter circuit 48 between space-time, when selection-signal M/N has chosen NTSC, and it supplies it to a decoder circuit 50. In a decoder circuit 50, each subsequent decode processing is performed and the output for an image transcription is obtained as digital data of YC.

[0043] Thus, when selection-signal M/N chooses NTSC, the MUSE signal-processing block 26 restores a MUSE signal only by the interpolation processing in the field which is space processing, and it operates by the processing which obtains the output for an image transcription so that filtering between space-time for reducing clinch distortion conversely generated to a MUSE signal may be performed.

[0044] In the NTSC signal-processing block 27, when selection-signal M/N has chosen NTSC, the outgoing end O of the tri-state output terminal 73 will be connected to the input of an image memory 29, and the outgoing end R of 74 will be connected to the input of an image memory 31, respectively. In the inter-frame YC separation circuit 611, YC separation processing is made by the input NTSC signal and the one-frame period delay signal which outputted the input signal from the outgoing end O, and was acquired from the input edge P through the image memory 29. In YC separation circuit 621 between Rhine, YC separation processing is made only using the present signal.

[0045] The two-frame delay signal acquired from the input edge Q through the present signal, the one-frame delay signal acquired from the input edge P, and an image memory 30 is inputted into the motion detector 63, and the 1 inter-frame and 2 inter-frame amount of motions is detected based on those signals. It moves by the mixing circuit 64, and the input from the inter-frame YC separation circuit 611 and YC separation circuit 621 between Rhine is mixed and outputted by the ratio according to the amount of motions from a detector 63 in it. In a selector 65, when selection-signal M/N has chosen NTSC, S6 which is the usual motion adaptation three-dimension YC separation output of NTSC signal processing is chosen, and this is outputted. The chrominance signal separated by motion adaptation three-dimension YC separation processing is supplied to a subtractor 66 and the chrominance-signal interpolation circuit 69 through a selector 65.

[0046] With a subtractor 66, a luminance signal is acquired by subtracting a chrominance signal from an input NTSC signal. In the interpolation circuit 671 between the fields, scanning-line interpolation processing is made by the inputted luminance signal and 1 field period delay signal which outputted this signal from the outgoing end R, and was acquired from the input edge S through the image memory 31. In the interpolation circuit 681 between Rhine, scanning-line interpolation is performed only using the present signal of the inputted luminance signal. It moves by the mixing circuit 70, and the input from the interpolation circuit 671 between the fields and the interpolation circuit 681 between Rhine is mixed and outputted by the ratio according to the amount of motions from a detector 63 in it. A selector 71 chooses S8 which is the usual motion adaptation scanning-line interpolation output of NTSC signal processing, when selection-signal M/N has chosen NTSC, and it outputs this. A decoder circuit 72 is supplied, subsequent decode processing is performed, and the luminance signal from a selector 71 and the chrominance signal with which scanning-line interpolation was performed in the chrominance-signal interpolation circuit 69 obtain the decode output of the NTSC signal of sequential scanning as digital data of RGB.

[0047] Thus, when selection-signal M/N chooses NTSC, it operates so that the NTSC signal-processing block 27 may perform original signal processing between motion adaptation space-time.

[0048] Both the video signal decoded in the MUSE signal-processing block 26 and the video signal decoded in the NTSC signal-processing block are inputted into the screen composition circuit 33. In the screen composition circuit 33, as shown in [drawing 5](#) and [drawing 6](#), two video signals are compounded and one video-signal output is obtained. In this case, it cannot be overemphasized that it is more desirable for the video signal of the direction chosen by selection-signal M/N to be the main screen. The output video signal of the screen composition circuit 33 is changed into an analog video signal by D/A converter 35, and is supplied to a monitor by it. On the other hand, the output for an image transcription of the MUSE signal-processing block 26 is changed into an analog video signal by D/A converter 34, and is supplied to the output terminal 36 for an image transcription by it.

[0049] When the digital disposal circuit between space-time has use of an image memory restricted according to a selection signal as mentioned above according to this example, the image of both the digital-disposal-circuit block which mainly uses an image memory, and the digital-disposal-circuit block with which use of an image memory is restricted can be enjoyed by switching to the path which passes through the space processing circuit which does not need memory for the path of signal processing.

[0050] In addition, although the path of signal processing was switched to the path which passes only space processing

compulsorily using selectors 45, 65, and 70 in this example when the digital disposal circuit between space-time had use of an image memory restricted according to a selection signal, it cannot be overemphasized that you may be the configuration which sets compulsorily the mixing ratio of the output of space signal processing and the output of signal processing between space-time to 10:0 in mixing circuits 44, 64, and 70. Moreover, although the inter-frame interpolation circuit 421 performed inter-frame interpolation processing in this example by the present signal and the one-frame delay signal acquired through the image memory 29, it cannot be overemphasized that you may be the selector circuit 109 in the conventional example shown in drawing 11 and the inter-frame interpolation circuit of the round configuration which consists of an image memory 107,108.

[0051] Although this example furthermore showed the example which shares memory between a MUSE signal-processing block and an NTSC signal-processing block, it is between the digital-disposal-circuit blocks corresponding to what kind of two or more broadcasting formats, and it cannot be overemphasized that memory may be shared. Although this example furthermore shared memory as a memory shared combination, respectively between the inter-frame interpolation circuit 421 of MUSE, the inter-frame YC separation circuit 611 of NTSC and the interpolation circuit 422 between the fields of MUSE, and the filter 48 between space-time and the interpolation circuit 671 between the fields of NTSC, it cannot be overemphasized that it is not what is limited to this combination, either.

[0052] Drawing 7 shows the block diagram of the television receiver in the 1st example of the 3rd invention. In drawing 7 R> 7, 1-20 are the same as that of the example of the 1st invention shown in drawing 1. 81, 82, and 83 are an input terminal which inputs the clock for driving a digital disposal circuit into the 1st, 2nd, and 3rd digital-disposal-circuit block, respectively. 84, 85, and 86 are AND circuits which switch whether the clock signal supplied to the 1st, 2nd, and 3rd digital-disposal-circuit block is passed according to a selection signal S1, or it fixes to "L" level, respectively.

[0053] In the television receiver of this example constituted as mentioned above, that actuation is explained below. When the television signal which should be decoded is the 1st broadcasting format and it is the 2nd broadcasting format, explanation of operation is divided when it is the 3rd broadcasting format, and is performed.

[0054] When processing the television signal of the 1st broadcasting format first, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 11 to memory block 14 equivalent, by changing only an output terminal 11 into a passage condition, and changing output terminals 12 and 13 into a high impedance condition.

[0055] Furthermore, S1 by making into "H" level only the signal inputted into 84 among the signals inputted into AND circuits 84, 85, and 86, and making into "L" level 85 and the signal inputted into 86 Only the clock signal of 81 is supplied in the 1st digital-disposal-circuit block among the clock signals inputted into input terminals 81, 82, and 83, and the clock signal of 82 and 83 is not supplied in the 2nd and 3rd digital-disposal-circuit block, respectively. The television signal of the 1st broadcasting format added to the input terminal 1 is changed into a digital signal in A/D converter 5, and it decodes in the 1st digital-disposal-circuit block 8, and the changed digital television signal is again changed into an analog signal by D/A converter 15, and acquires the 1st video signal from an output terminal 18 with it.

[0056] When processing the television signal of the 2nd broadcasting format, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 12 to memory block 14 equivalent, by changing only an output terminal 12 into a passage condition, and changing output terminals 11 and 13 into a high impedance condition.

[0057] Furthermore, S1 by making into "H" level only the signal inputted into 85 among the signals inputted into AND circuits 84, 85, and 86, and making into "L" level 84 and the signal inputted into 86 Only the clock signal of 82 is supplied in the 2nd digital-disposal-circuit block among the clock signals inputted into input terminals 81, 82, and 83, and the clock signal of 81 and 83 is not supplied in the 1st and 3rd digital-disposal-circuit block, respectively. The television signal of the 2nd broadcasting format added to the input terminal 2 is changed into a digital signal in A/D converter 6, and it decodes in the 2nd digital-disposal-circuit block 9, and the changed digital television signal is again changed into an analog signal by D/A converter 16, and acquires the 2nd video signal from an output terminal 19 with it.

[0058] When processing the television signal of the 3rd broadcasting format, the selection signal S1 added to the input terminal 4 is changed into the condition of having connected only the signal line of an output terminal 13 to memory block 14 equivalent, by changing only an output terminal 13 into a passage condition, and changing output terminals 11 and 12 into a high impedance condition.

[0059] Furthermore, S1 by making into "H" level only the signal inputted into 86 among the signals inputted into AND circuits 84, 85, and 86, and making into "L" level 84 and the signal inputted into 85 Only the clock signal of 83 is supplied in the 3rd digital-disposal-circuit block among the clock signals inputted into input terminals 81, 82, and 83, and the clock signal of 81 and 82 is not supplied in the 1st and 2nd digital-disposal-circuit block, respectively. The

television signal of the 3rd broadcasting format added to the input terminal 3 is changed into a digital signal in A/D converter 7, and a signal is decoded in the 3rd digital-disposal-circuit block 10, and the changed digital television signal is again changed into an analog signal by D/A converter 17, and acquires the 3rd video signal from an output terminal 20 with it.

[0060] According to this example, a tri-state function is prepared in the output terminal which supplies a signal to memory block from each digital-disposal-circuit block corresponding to two or more broadcasting formats as mentioned above. While common use of image memory is attained by switching the input signal to memory block by controlling the tri-state condition of each output terminal. By stopping supply of the clock signal of the digital-disposal-circuit block separated from memory block, without being chosen by the selection signal S1, the power consumption of the block with which signal processing is not made can be reduced, and unnecessary power consumption can be controlled.

[0061] In addition, although this example showed the example which shares memory block between three digital-disposal-circuit blocks, it cannot be overemphasized that what kind of two or more numbers are sufficient as the number of digital-disposal-circuit blocks. Moreover, although this example showed the example which is one at a time in each digital-disposal-circuit block about the I/O signal to memory block, it cannot be overemphasized that what kind of one or more numbers are also sufficient as the number of I/O signals. Furthermore, in this example, in order to stop supply of the clock signal to each digital-disposal-circuit block, the AND circuit was used, but as long as it controls supply of clock signals, such as the usual ON/OFF switch, what kind of thing may be used.

[0062] Drawing 8 shows the block diagram of the television receiver in the 2nd example of the 3rd invention. In drawing 8 R> 8, 14, 21-37 are the same as that of the example of the 2nd invention shown in drawing 2. The input terminal which inputs the clock signal CKM for 38 to drive the MUSE signal-processing block 26, and 39 are input terminals for driving the NTSC signal-processing block 27 which carry out a clock signal CKN input.

[0063] Drawing 9 is the block diagram showing the example of a configuration of the MUSE signal-processing block 26. In drawing 9, 41-54 are the same as that of the example of the 2nd invention shown in drawing 3. 55 and 56 are AND circuits.

[0064] Drawing 10 is the block diagram showing the example of a configuration of the NTSC signal-processing block 27. In drawing 10, 61-74 are the same as that of the example of the 2nd invention shown in drawing 4. 75 is an AND circuit.

[0065] In the television receiver of this example constituted as mentioned above, that actuation is explained below. Since basic actuation is the same as that of the example of the 2nd invention, only characteristic actuation of this example is explained here. The clock signal CKM for driving a MUSE signal-processing block is inputted into the clock signal input terminal 38, and the clock signal CKN for driving an NTSC signal-processing block is inputted into the clock signal input terminal 39.

[0066] Explanation of the following actuation is divided when it is the case where the signal which should mainly be decoded is a MUSE signal, and an NTSC signal, and it is performed.

[0067] When mainly decoding a MUSE signal first, selection-signal M/N added to an input terminal 23 serves as a value which chooses MUSE, and is inputted into the MUSE signal-processing block 26 and the NTSC signal-processing block 27. In the MUSE signal-processing block 26, when selection-signal M/N has chosen MUSE, the output CK 1 of AND circuit 55 becomes the same as the input-clock signal CKM. On the other hand, the output CK 2 of AND circuit 56 serves as "L" level immobilization, and will be in the condition that the clock signal stopped. CK1 is supplied to the inter-frame interpolation circuit 421, the interpolation circuit 422 between the fields, the motion detector 43, and the mixing circuit 44 as a drive clock signal, and CK2 is supplied to the filter circuit 48 between space-time. About other processing circuits, it cannot be overemphasized that the suitable clock by selection-signal M/N is supplied.

[0068] Therefore, when selection-signal M/N has chosen MUSE, a clock will be supplied to the filter circuit 48 between space-time, and it does not operate. From the example of the 2nd invention, since a selector 49 is in the condition which has chosen S4, there is no effect in the whole signal-processing path. Therefore, the power which the filter circuit 48 between space-time consumes in this case is reducible. In the NTSC processing block 27, when selection-signal M/N has chosen MUSE, the output CK 3 of AND circuit 75 serves as "L" level immobilization, and will be in the condition that the clock signal stopped. CK3 is supplied to the inter-frame YC separation circuit 611, the motion detector 63, the mixing circuit 64, the interpolation circuit 671 between the fields, and the mixing circuit 70 as a drive clock signal.

[0069] About other processing circuits, it cannot be overemphasized that the suitable clock by selection-signal M/N is supplied. Therefore, when selection-signal M/N has chosen MUSE, a clock will be supplied to the inter-frame YC separation circuit 611, the motion detector 63, a mixing circuit 64, the interpolation circuit 671 between the fields, and a mixing circuit 70, and it does not operate. From the example of the 2nd invention, about a selector S7, since it is in the

condition that, as for 65, the selector 71 has chosen S9, respectively, there is no effect in the whole signal-processing path. Therefore, the power which the inter-frame YC separation circuit 611, the motion detector 63, a mixing circuit 64, the interpolation circuit 671 between the fields, and a mixing circuit 70 consume in this case is reducible.

[0070] Next, when mainly decoding an NTSC signal, selection-signal M/N added to an input terminal 23 serves as a value which chooses NTSC, and is inputted into the MUSE signal-processing block 26 and the NTSC signal-processing block 27. In the MUSE signal-processing block 26, when selection-signal M/N has chosen NTSC, the output CK 1 of AND circuit 55 serves as "L" level immobilization, and will be in the condition that the clock signal stopped. On the other hand, the output CK 2 of AND circuit 56 becomes the same as the input-clock signal CKM. In this case, a clock will be supplied to the inter-frame interpolation circuit 421, the interpolation circuit 422 between the fields, the motion detector 43, and a mixing circuit 44, and it does not operate.

[0071] From the example of the 2nd invention, since it is in the condition that 45 has chosen the selectorS2, there is no effect in the whole signal-processing path. Therefore, the power which the inter-frame interpolation circuit 421, the interpolation circuit 422 between the fields, the motion detector 43, and a mixing circuit 44 consume in this case is reducible. In the NTSC processing block 27, when selection-signal M/N has chosen NTSC, the output CK 3 of AND circuit 75 becomes the same as the input-clock signal CKN. In this case, all the digital disposal circuits within an NTSC signal-processing block operate.

[0072] In the digital-disposal-circuit block with which use of an image memory is restricted according to a selection signal as mentioned above according to this example As if the path of signal processing is switched to the path which does not go through the processing between space-time in which it became impossible to use memory, by things While being able to enjoy the image of both the digital-disposal-circuit block which mainly uses an image memory, and the digital-disposal-circuit block with which use of an image memory is restricted When the path switched, unnecessary power consumption can be controlled on the path of signal processing by stopping supply of the clock of the digital disposal circuit which does not affect an output signal.

[0073] In addition, although the path of signal processing was switched to the path which passes only space processing compulsorily using selectors 45, 65, and 70 in this example when the digital disposal circuit between space-time had use of an image memory restricted according to a selection signal, it cannot be overemphasized that you may be the configuration which sets compulsorily the mixing ratio of the output of space signal processing and the output of signal processing between space-time to 10:0 in mixing circuits 44, 64, and 70. Moreover, although the inter-frame interpolation circuit 421 performed inter-frame interpolation processing in this example by the present signal and the one-frame delay signal acquired through the image memory 29, it cannot be overemphasized that you may be the selector circuit 109 in the conventional example shown in drawing 11 and the inter-frame interpolation circuit of the round configuration which consists of an image memory 107,108.

[0074] Although this example furthermore showed the example which shares memory between a MUSE signal-processing block and an NTSC signal-processing block, it is between the digital-disposal-circuit blocks corresponding to what kind of two or more broadcasting formats, and it cannot be overemphasized that memory may be shared. Although this example furthermore shared memory as a memory shared combination, respectively between the inter-frame interpolation circuit 421 of MUSE, the inter-frame YC separation circuit 611 of NTSC and the interpolation circuit 422 between the fields of MUSE, and the filter 48 between space-time and the interpolation circuit 671 between the fields of NTSC, it cannot be overemphasized that it is not what is limited to this combination, either. Furthermore, in this example, in order to stop supply of the clock signal to each digital-disposal-circuit block, the AND circuit was used, but as long as it controls supply of clock signals, such as the usual ON/OFF switch, what kind of thing may be used.

[0075]

[Effect of the Invention] As explained above, according to the 1st invention, two or more digital disposal circuits connected common to the input of memory each by giving a tri-state function to an output terminal and choosing alternatively the signal inputted into memory It can respond also to a combination sharing of the memory from much digital-disposal-circuit blocks, and memory shared [ for every processing within a digital-disposal-circuit block / various ] flexibly, without extending especially hardware, such as a selector, and the practical effectiveness is large.

[0076] According to the 2nd invention, in addition to the 1st effect of the invention, two or more images can be seen to coincidence because each digital disposal circuit performs each video-signal processing also in a memory common used condition, and the practical effectiveness is large.

[0077] According to the 3rd invention, in addition to the 2nd effect of the invention, unnecessary power consumption can be controlled, and the practical effectiveness is large.

## \*NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The block diagram of the television receiver in the example of the 1st invention

[Drawing 2] The block diagram of the television receiver in the example of the 2nd invention

[Drawing 3] The block diagram showing the example of a configuration of a MUSE signal-processing block of this example

[Drawing 4] The block diagram showing the example of a configuration of an NTSC signal-processing block of this example

[Drawing 5] The 1st screen Fig. for explaining actuation of the screen composition circuit of this example

[Drawing 6] The 2nd screen Fig. for explaining actuation of the screen composition circuit of this example

[Drawing 7] The block diagram of the television receiver in the 1st example of the 3rd invention

[Drawing 8] The block diagram of the television receiver in the 2nd example of the 3rd invention

[Drawing 9] The block diagram showing the example of a configuration of a MUSE signal-processing block of this example

[Drawing 10] The block diagram showing the example of a configuration of an NTSC signal-processing block of this example

[Drawing 11] The block diagram of the conventional television receiver

### [Description of Notations]

1, 2, 3, 4, 21, 22, 23, 38, 39, 81, 82, 83, 101, 102, 103 Input terminal of a signal

5, 6, 7, 24, 25 A/D converter

8, 9, 10 Digital-disposal-circuit block

11, 12, 13, 51, 52, 53, 73, 74 Tri-state output terminal

14 Memory Block

15, 16, 17, 34, 35, 117, 118, 119, 120, 121, 122 D/A converter

18, 19, 20, 36 Output terminal of a signal

26, 115 MUSE signal-processing block

27, 116 NTSC signal-processing block

29, 30, 31, 32, 107, 108 Image memory

33 Screen Composition Circuit

37, 123, 124 Monitor

41 Animation Processing Circuit

42 Still Picture Processing Circuit

43 63 Motion detector

44, 64, 70 Mixing circuit

45, 49, 65, 71, 106, 109, 112 Selector circuit

46, 50, 72 Decoder circuit

47 Number-of-Scanning-Lines Conversion Circuit

48 Filter Circuit between Space-time

61 YC Separation Circuit for Still Pictures

62 YC Separation Circuit for Animations

66 Subtractor

67 Scanning-Line Interpolation Circuit for Still Pictures

68 Scanning-Line Interpolation Circuit for Animations

69 Chrominance-Signal Interpolation Circuit

55, 56, 75, 84, 84, 86 AND circuit

110 Timing Generating Circuit for MUSE  
111 Timing Generating Circuit for NTSC  
113 Address Generation Machine  
114 Separation Circuit

---

[Translation done.]